(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월10일
(11) 등록번호 10-1674960
(24) 등록일자 2016년11월04일

(51) 국제특허분류(Int. Cl.)
H04B 7/04 (2006.01)
(21) 출원번호 10-2014-7026420
(22) 출원일자(국제) 2013년02월21일
심사청구일자 2014년09월22일
(85) 번역문제출일자 2014년09월22일
(65) 공개번호 10-2014-0136001
(43) 공개일자 2014년11월27일
(86) 국제출원번호 PCT/KR2013/001396
(87) 국제공개번호 WO 2013/125882
국제공개일자 2013년08월29일
(30) 우선권주장
61/601,037 2012년02월21일 미국(US)
(56) 선행기술조사문헌
KR1020110138979 A*
US20080317145 A1*
US20100220652 A1*
Seungpyo Yu et al., "Adaptive bit allocation methods for multi-cell joint processing systems with limited feedback", IEEE PIMRC 2011(2011.09.14.)*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지전자 주식회사
서울특별시 영등포구 여의대로 128 (여의도동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
박은성
서울특별시 성북구 안암로 145 (안암동5가, 고려대학교)
이인규
서울특별시 성북구 안암로 145 (안암동5가, 고려대학교)
(뒷면에 계속)
(74) 대리인
김용인

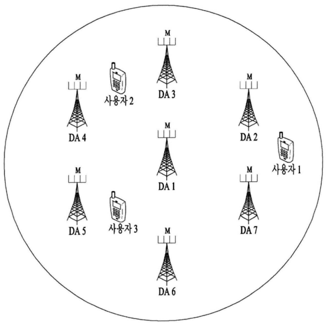
전체 청구항 수 : 총 11 항 심사관 : 김성태

(54) 발명의 명칭 **분산 안테나 기술을 지원하는 무선 접속 시스템에서 제한된 피드백을 최적화하기 위한 방법 및 장치**

(57) 요 약

본 발명은 무선 접속 시스템에 관한 것으로, 특히 분산 안테나 시스템(DASs)에서 제한된 피드백을 최적화하기 위한 방법들 및 장치들에 관한 것이다. 본 발명의 일 측면으로서 분산 안테나(DA) 기술을 지원하는 무선 접속 시스템에서 제한된 피드백을 최적화하기 위한 방법은, 단말이 DA 포트로부터 DA 포트들의 전송 전력과 관련된 정보를 수신하는 단계와 DA 포트들로부터 하향링크 신호를 수신하는 단계와 하향링크 신호들을 이용하여 단말 및 DA 포트들 간의 거리들을 측정하는 단계와 단말 및 DA 포트들 간의 전송 전력 및 거리와 관련된 정보를 기반으로 피드백 비트들의 개수를 계산하는 단계와 계산한 피드백 비트들의 개수를 이용하여 피드백 정보를 전송하는 단계를 포함할 수 있다.

대 표 도 - 도17



(72) 발명자

이욱봉

경기도 안양시 동안구 흥안대로81번길 77 (호계동, LG연구소)

곽진삼

경기도 안양시 동안구 흥안대로81번길 77 (호계동, LG연구소)

명 세 서

청구범위

청구항 1

분산 안테나(DA) 기술을 지원하는 무선 접속 시스템에서 제한된 피드백을 최적화하기 위한 방법에 있어서,

단말이 DA 포트로부터 상기 DA 포트를 포함하는 둘 이상의 DA 포트들의 전송 전력을 나타내는 전송 전력 정보를 포함하는 물리하향링크제어채널(PDCCH)을 수신하는 단계;

상기 단말이 상기 둘 이상의 DA 포트들로부터 하향링크 신호들을 수신하는 단계;

상기 단말이 상기 하향링크 신호들을 이용하여 상기 단말 및 상기 둘 이상의 DA 포트들 간의 거리에 대한 정보를 측정하는 단계;

상기 단말이 상기 전송 전력 정보 및 상기 단말과 상기 둘 이상의 DA 포트들 간의 거리에 대한 정보를 기반으로 피드백 비트들의 개수를 계산하는 단계; 및

상기 단말이 상기 계산한 피드백 비트들의 개수를 이용하여 피드백 정보를 전송하는 단계를 포함하되,

상기 둘 이상의 DA 포트들은 서로 지리적으로 이격된 기지국들에 배치되는, 제한된 피드백 최적화 방법.

청구항 2

제 1 항에 있어서,

상기 피드백 비트들의 개수는 상기 무선 접속 시스템에서 고정된 값인, 제한된 피드백 최적화 방법.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 PDCCH는 상기 둘 이상의 DA 포트들의 전송 안테나의 개수를 더 포함하고,

상기 전송 안테나의 개수는 상기 피드백 비트들의 개수를 계산하기 위해 더 고려되는, 제한된 피드백 최적화 방법.

청구항 5

제 1 항에 있어서,

상기 피드백 비트들의 개수를 계산하는 단계 이전에, 상기 단말 및 상기 둘 이상의 DA 포트들 간의 채널 상태 정보를 측정하는 단계를 더 포함하고,

상기 채널 상태 정보는 상기 피드백 비트들의 개수를 이용하여 전송되는, 제한된 피드백 최적화 방법.

청구항 6

분산 안테나(DA) 기술을 지원하는 무선 접속 시스템에서 제한된 피드백을 최적화하기 위한 방법에 있어서,

DA 포트에서 단말로 상기 DA 포트를 포함하는 둘 이상의 DA 포트들의 전송 전력을 나타내는 전송 전력 정보를 포함하는 물리하향링크제어채널(PDCCH)을 전송하는 단계;

상기 단말로 하향링크 신호를 전송하는 단계; 및

고정된 개수의 피드백 비트들을 갖는 피드백 정보를 수신하는 단계를 포함하되,

상기 고정된 개수의 피드백 비트들은 상기 전송 전력 정보 및 상기 단말과 상기 둘 이상의 DA 포트들 간의 거리

에 대한 정보를 기반으로 상기 단말에서 계산되고,

상기 둘 이상의 DA 포트들은 서로 지리적으로 이격된 기지국에 배치되는, 제한된 피드백 최적화 방법.

청구항 7

삭제

청구항 8

제 6 항에 있어서,

상기 PDCCH는 상기 DA 포트들의 전송 안테나의 개수를 더 포함하고,

상기 전송 안테나의 개수는 상기 피드백 비트들의 개수를 계산하기 위해 더 고려되는, 제한된 피드백 최적화 방법.

청구항 9

제 6 항에 있어서,

상기 피드백 정보는 상기 단말 및 상기 둘 이상의 DA 포트들 간의 채널 상태 정보를 포함하는, 제한된 피드백 최적화 방법.

청구항 10

분산 안테나(DA) 기술을 지원하는 무선 접속 시스템에서 제한된 피드백을 최적화를 지원하는 단말은,

송신 모듈;

수신 모듈; 및

상기 제한된 피드백을 수행하기 위한 프로세서를 포함하되,

상기 프로세서는:

상기 수신모듈을 통해 DA 포트로부터 상기 DA 포트를 포함하는 둘 이상의 DA 포트들의 전송 전력을 나타내는 전송 전력 정보를 포함하는 물리하향링크제어채널(PDCCH)을 수신하고;

상기 수신모듈을 이용하여 상기 둘 이상의 DA 포트들로부터 하향링크 신호를 수신하고;

상기 둘 이상의 DA 포트들로부터 전송된 상기 하향링크 신호들을 이용하여 상기 단말과 상기 둘 이상의 DA 포트들 간의 거리에 대한 정보를 측정하고;

상기 전송 전력 정보 및 상기 단말과 상기 둘 이상의 DA 포트들 간의 거리에 대한 정보를 기반으로 피드백 비트들의 개수를 계산하고;

상기 송신모듈을 통해 상기 계산한 피드백 비트들의 개수를 이용하여 피드백 정보를 전송하도록 구성되되,

상기 둘 이상의 DA 포트들은 서로 지리적으로 이격된 기지국들에 배치되는, 단말.

청구항 11

제 10 항에 있어서,

상기 피드백 비트들의 개수는 상기 무선 접속 시스템에서 고정된 값인, 단말.

청구항 12

삭제

청구항 13

제 10 항에 있어서,

상기 PDCCH는 상기 둘 이상의 DA 포트들의 전송 안테나의 개수를 더 포함하고,

상기 전송 안테나의 개수는 상기 피드백 비트들의 개수를 계산하기 위해 더 고려되는, 단말.

청구항 14

제 10 항에 있어서,

상기 프로세서는 상기 단말 및 상기 DA 포트들 간의 채널 상태 정보를 측정하도록 더 구성되고,

상기 채널 상태 정보는 상기 피드백 비트들의 개수를 이용하여 전송되는, 단말.

발명의 설명

기 술 분 야

[0001] 본 발명은 무선 접속 시스템에 관한 것으로서, 분산 안테나 시스템(DAS: Distributed Antenna System)에서 제한된 피드백을 최적화하기 위한 방법 및 장치들에 관한 것이다.

배 경 기 술

[0002] 무선 통신 시스템은 음성 및 데이터와 같은 다양한 종류의 통신 서비스들을 제공하기 위해 광범위하게 개발되어 왔다. 일반적으로, 무선 접속 시스템은 다중 사용자들이 가능한 시스템 자원들(대역폭, 전송 전력 등)을 공유하게 하는 다중 접속 시스템이다. 다중 접속 시스템은 CDMA(code division multiple access) 시스템, FDMA(frequency division multiple access) 시스템, TDMA(time division multiple access) 시스템, OFDMA(orthogonal frequency division multiple access) 시스템, SC-FDMA(single carrier frequency division multiple access) 시스템 등이 있다.

[0003] 최근 셀 커버리지 확장 및 시스템 용량 증대 성능을 이유로 분산 안테나 시스템(DAS: Distributed Antenna System)이 각광받고 있다. 모든 안테나들이 셀의 중심에서 같이 위치한 기존 집중형 안테나 시스템(CAS: Centralized Antenna System)과 달리, DAS 의 DA(Distributed Antenna) 포트들은 지리적으로 이격되어 있다. 따라서, DAS 는 전송 전력 및 채널간 간섭과 함께 접속 거리를 줄일 수 있으며, 셀 경계 동작의 향상을 가져온다.

[0004] 송신단에서 채널상태정보(CSI: Channel State Information)를 사용하는 종래의 페루프 CAS 에 대해, 전력 할당의 최적화 및 프리코딩 설계가 많이 수행되어 왔다. 그러나, 폐루프 DAS 에 대해서는 매우 적은 연구 결과만이 있을 뿐이다. DAS 에서 공간 다중화 전송에 대한 획득 가능한 폐쇄 분석적 형태의 용량 표현이 구현되었다. 또한, 종래 분야(예를 들어, DAS 에 대한 MIMO 채널 용량)는 단일 셀에서 임의 안테나 레이아웃을 갖는 DAS 용량을 연구하고 있고, 서브-최적화 전력 할당 방식을 제안하고 있다. 게다가, 섹터화된 분산 안테나 구조가 제안되었고 전력 조정 빔 스위칭 방식이 제안되었다.

[0005] 현재 제한된 피드백 시스템에서, 각 사용자들은 먼저 순시 채널을 양자화하고 양자화된 채널의 인덱스를 코드북을 이용하여 송신단으로 피드백한다. 다중 입력 다중 출력 (MIMO) CAS 에 대해, 코드북 설계 문제는 i.i.d. (independent and identical distributed) 레일레이 페이딩 행렬 채널에서 최적 빔포밍 벡터의 분산을 이용함으로써 해결되었다. 또한, 제한된 피드백을 갖는 종래 CAS 에 대해 다양한 피드백 비트 할당 방식들이 연구되어 왔다. 논문들(예를 들어, L. Dai, S. Zhou, and Y. Yao, "Capacity Analysis in CDMA distributed antenna systems")은 제한된 피드백을 갖는 DSA 의 다양한 이슈들을 코드북 설계 변경 및 DSA 에 적합한 차선의 코드북 설계를 제공한다. 그러나, 기존에 연구된 방법들 및 장치들은 채널 구현의 많은 요소들을 고려함으로 인해 피드백 정보 및 무선 자원을 낭비하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명은 종래 기술의 한계들 및 단점들로 인한 문제점을 해결하기 위해, 분산 안테나 시스템들(DASs)에서 제한된 피드백을 최적화하는 방법들 및 장치들에 관한 것이다.

[0007] 본 발명의 목적은 평균 단일 셀 환경에서 평균 전체 전송률(average sum rate)을 증가시키기 위해 제한된 피드백으로 다중 사용자 하향링크 DSA 에 대한 피드백 비트들을 할당하는 새로운 알고리즘을 제안하는 것이다. 이를 위해, DA 포트 당 전력 제한을 고려하여 작은 스케일의 페이딩 및 경로 손실을 갖는 페이딩 채널을 구성한다.

[0008] 이런 목적을 위해, 먼저 임의로 양자화된 코드북들(즉, RVQ(Random Vector Quantization))의 가정하에 각 사용자들에 대해 기대되는 SINR(Signal to Interference plus Noise Ratio)의 하한 값을 구한다. 이후, 각 사용자에 대해 기대되는 SINR 의 하한 값을 최소화하는 적응적 피드백 비트 할당 알고리즘을 제안한다.

[0009] 본 발명의 다른 목적은 상기 기술된 방법들을 지원하기 위한 단말 및/또는 기지국 장치들을 제공하는 것이다.

[0010] 본 발명에서 이루고자 하는 기술적 목적들은 이상에서 언급한 사항들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 이하 설명할 본 발명의 실시예들로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 고려될 수 있다.

과제의 해결 수단

[0011] 본 발명은 DAS 에서 제한된 피드백을 최적화하는 방법 및 장치에 관한 것이다.

[0012] 본 발명의 일 측면으로서 분산 안테나(DA) 기술을 지원하는 무선 접속 시스템에서 제한된 피드백을 최적화하기 위한 방법은, 단말이 DA 포트로부터 DA 포트들의 전송 전력과 관련된 정보를 수신하는 단계와 DA 포트들로부터 하향링크 신호를 수신하는 단계와 하향링크 신호들을 이용하여 단말 및 DA 포트들 간의 거리들을 측정하는 단계와 단말 및 DA 포트들 간의 전송 전력 및 거리와 관련된 정보를 기반으로 피드백 비트들의 개수를 계산하는 단계와 계산한 피드백 비트들의 개수를 이용하여 피드백 정보를 전송하는 단계를 포함할 수 있다.

[0013] 이때, 피드백 비트들의 개수는 무선 접속 시스템에서 고정된 값일 수 있다.

[0014] 전송 전력과 관련된 정보는 물리하향링크제어채널(PDCCH) 신호를 통해 전송될 수 있다. 이때, PDCCH 신호는 DA 포트들의 전송 안테나의 개수를 더 포함할 수 있으며, 전송 안테나의 개수는 피드백 비트들의 개수를 계산하기 위해 더 고려될 수 있다.

[0015] 상기 방법은 단말 및 DA 포트 간의 제 1 채널상태정보를 측정하는 단계 및 단말과 다른 DA 포트들 간의 제 2 채널상태정보를 측정하는 단계를 더 포함할 수 있다. 이때, 제 1 채널상태정보 및 제 2 채널상태정보는 피드백 비트들의 개수를 이용하여 전송될 수 있다.

[0016] 본 발명의 다른 양태로서 분산 안테나(DA) 기술을 지원하는 무선 접속 시스템에서 제한된 피드백을 최적화하기 위한 방법은, DA 포트에서 단말로 DA 포트를 포함하는 DA 포트들의 전송 전력과 관련된 정보를 전송하는 단계와 단말로 하향링크 신호를 전송하는 단계와 고정된 개수의 피드백 비트들을 갖는 피드백 정보를 수신하는 단계를 포함할 수 있다. 이때, 고정된 개수의 피드백 비트들은 단말과 DA 포트들 간의 거리에 대한 정보 및 DA 포트들의 전송 전력과 관련된 정보를 기반으로 계산될 수 있다.

[0017] 전송 전력과 관련된 정보는 물리하향링크제어채널(PDCCH) 신호를 통해 전송될 수 있다. 이때, PDCCH 신호는 DA 포트들의 전송 안테나의 개수를 더 포함하고, 전송 안테나의 개수는 피드백 비트들의 개수를 계산하기 위해 더 고려될 수 있다.

[0018] 피드백 정보는 단말과 DA 포트 간의 제 1 채널상태정보를 및 단말과 DA 포트들 간의 채널 상태 정보를 포함할 수 있다.

[0019] 본 발명의 또 다른 양태로서 분산 안테나(DA) 기술을 지원하는 무선 접속 시스템에서 제한된 피드백을 최적화를 지원하는 단말은 송신 모듈, 수신 모듈 및 제한된 피드백을 수행하기 위한 프로세서를 포함할 수 있다. 이때, 프로세서는 수신모듈을 통해 DA 포트로부터 DA 포트들의 전송 전력과 관련된 정보를 수신하고, 수신모듈을 이용하여 DA 포트들로부터 하향링크 신호를 수신하고, DA 포트들로부터 전송된 하향링크 신호들을 이용하여 단말 및 DA 포트들 간의 거리들을 측정하고, 단말과 DA 포트들 간의 전송 전력 및 거리와 관련된 정보를 기반으로 피드백 비트들의 개수를 계산하고, 송신모듈을 통해 계산한 피드백 비트들의 개수를 이용하여 피드백 정보를 전송하도록 구성될 수 있다.

[0020] 피드백 비트들의 개수는 무선 접속 시스템에서 고정된 값일 수 있다.

[0021] 전송 전력과 관련된 정보는 물리하향링크제어채널(PDCCH) 신호를 통해 전송될 수 있다. 이때, PDCCH 신호는 DA 포트들의 전송 안테나의 개수를 더 포함하고, 전송 안테나의 개수는 피드백 비트들의 개수를 계산하기 위해 더 고려될 수 있다.

[0022] 프로세서는 단말과 DA 포트 간의 제 1 채널생태정보를 측정하고, 단말과 DA 포트들 간의 제 2 채널상태정보를 측정하도록 더 구성되고, 제 1 채널상태정보 및 제 2 채널상태정보는 피드백 비트들의 개수를 이용하여 전송될

수 있다.

[0023] 상술한 본 발명의 양태들은 본 발명의 바람직한 실시예들 중 일부에 불과하며, 본원 발명의 기술적 특징들이 반영된 다양한 실시예들이 당해 기술분야의 통상적인 지식을 가진 자에 의해 이하 상술할 본 발명의 상세한 설명을 기반으로 도출되고 이해될 수 있다.

발명의 효과

[0024] 본 발명의 실시예들에 따르면 다음과 같은 효과가 있다.

[0025] 첫째, 모든 UE 및 기지국은 단일 셀 환경에서 제한된 피드백을 갖는 다중 사용자 하향링크 DAS 에 대해 피드백 비트들을 할당하는 새로운 알고리즘을 이용함으로써 효율적으로 피드백 정보를 송수신할 수 있다.

[0026] 둘째, 시뮬레이션 결과들 (예를 들어, 도 22-25)은 DSA 에 제안된 피드백 비트 할당 알고리즘들이 선호 링크 및 간섭 링크에서 동일한 비트들을 할당하는 시스템보다 좋은 결과를 산출하는 것을 나타내고 있다.

[0027] 본 발명의 실시예들에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 이하의 본 발명의 실시예들에 대한 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다.

도면의 간단한 설명

[0028] 본 발명에 관한 이해를 돕기 위해 상세한 설명의 일부로 포함되고, 첨부된 도면들은 본 발명에 대한 다양한 실시예들을 제공한다. 또한, 첨부된 도면들은 상세한 설명과 함께 본 발명의 실시 형태들을 설명하기 위해 사용된다.

도 1 은 3GPP LTE 시스템에 이용되는 물리 채널들 및 이들을 이용한 일반적인 신호 전송 방법을 설명하기 위한 도면이다.

도 2 는 단말의 일 구조 및 단말이 상향링크 신호를 전송하기 위한 신호 처리 과정을 설명하기 위한 도면이다.

도 3 은 기지국의 일 구조 및 기지국이 하향링크 신호를 전송하기 위한 신호 처리 과정을 설명하기 위한 도면이다.

도 4 는 단말의 일 구조 및 SC-FDMA 방식과 OFDMA 방식을 설명하기 위한 도면이다.

도 5 는 주파수 도메인에서 단일 반송파 특성을 만족하기 위한 주파수 도메인상의 신호 맵핑 방식을 설명하는 도면이다.

도 6 은 SC-FDMA 방식에 따른 전송 신호를 복조(demodulation)하기 위한 참조 신호(RS: Reference Signal)의 송신 처리를 설명하기 위한 블록도이다.

도 7 은 SC-FDMA 방식에 따른 서브프레임 구조에서 참조신호(RS)가 맵핑되는 심볼 위치를 나타내는 도면이다.

도 8 은 클러스터 SC-FDMA 에서 DFT 프로세스 출력 샘플들이 단일 캐리어에 맵핑되는 신호 처리 과정을 도시하는 도면이다.

도 9 및 도 10 은 클러스터 SC-FDMA 에서 DFT 프로세스 출력 샘플들이 멀티캐리어(multi-carrier)에 맵핑되는 신호 처리 과정을 도시하는 도면이다.

도 11 은 세그먼트(segmented) SC-FDMA 의 신호 처리 과정을 도시하는 도면이다.

도 12 는 본 발명의 실시예들에서 사용 가능한 상향링크 서브프레임의 구조를 예시한다.

도 13 은 본 발명의 실시예들에서 사용 가능한 UL-SCH 데이터와 제어 정보의 처리 과정을 예시한다.

도 14 는 PUSCH 상에서 상향링크 제어정보와 UL-SCH 데이터의 다중화방법의 일례를 나타내는 도면이다.

도 15 는 MIMO(Multiple Input Multiple Output) 시스템에서 제어 정보와 UL-SCH 데이터의 다중화를 나타내는 도면이다.

도 16 은 본 발명의 일 실시예에 따라 단말에 포함된 복수의 UL-SCH 전송 블록과 단말에서 UCI 를 다중화하여 전송하는 방법의 일례를 나타내는 도면이다.

도 17 은 본 발명에 적용되는 단일셀 DAS 에 대한 시스템 모델을 나타내는 도면이다.

도 18 은 본 발명에 적용되는 DA 포트들 및 단말들의 배치 중 하나를 나타내는 도면이다.

도 19 는 본 발명의 실시예들에 따른 2-사용자 DAS 에 대한 SNR 과 관련된 피드백 비트 할당을 나타내는 도면이다.

도 20 은 본 발명에 적용되는 DA 포트들 및 단말들의 배치 중 다른 하나를 나타내는 도면이다.

도 21 은 본 발명의 실시예들에 따른 3-사용자 DAS 에 대한 SNR 과 관련된 피드백 비트 할당을 나타내는 도면이다.

도 22 는 본 발명의 실시예들에 따른 2-사용자의 평균 총 전송율의 결과를 나타내는 도면이다.

도 23 은 본 발명의 실시예들에 따른 3-사용자의 평균 총 전송율의 결과를 나타내는 도면이다.

도 24 는 본 발명의 실시예들에 따른 완결 탐색과 관련된 2-사용자의 평균 총 전송율의 결과를 나타내는 도면이다.

도 25 는 본 발명의 실시예들에 따른 SNR=20dB 인 평균 총 전송율의 결과를 나타내는 도면이다.

도 26 은 본 발명의 실시예들에 따른 피드백 비트 할당 방법을 나타내는 도면이다.

도 27 은 도 1 내지 26 에서 설명한 방법들이 구현되는 장치들을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명의 실시예들은 DAS 에서 제한된 피드백을 최적화하는 방법 및 장치들을 제공하는 것이다.

[0030] 이하의 실시예들은 본 발명의 구성요소들과 특징들을 소정 형태로 결합한 것들이다. 각 구성요소 또는 특징은 별도의 명시적 언급이 없는 한 선택적인 것으로 고려될 수 있다. 각 구성요소 또는 특징은 다른 구성요소나 특징과 결합되지 않은 형태로 실시될 수 있다. 또한, 일부 구성요소들 및/또는 특징들을 결합하여 본 발명의 실시예를 구성할 수도 있다. 본 발명의 실시예들에서 설명되는 동작들의 순서는 변경될 수 있다. 어느 실시예의 일부 구성이나 특징은 다른 실시예에 포함될 수 있고, 또는 다른 실시예의 대응하는 구성 또는 특징과 교체될 수 있다.

[0031] 도면에 대한 설명에서, 본 발명의 요지를 흐릴 수 있는 절차 또는 단계 등은 기술하지 않았으며, 당업자의 수준에서 이해할 수 있을 정도의 절차 또는 단계는 또한 기술하지 아니하였다.

[0032] 본 명세서에서 본 발명의 실시예들은 기지국과 이동국 간의 데이터 송수신 관계를 중심으로 설명되었다. 여기서, 기지국은 이동국과 직접적으로 통신을 수행하는 네트워크의 종단 노드(terminal node)로서의 의미가 있다. 본 문서에서 기지국에 의해 수행되는 것으로 설명된 특정 동작은 경우에 따라서는 기지국의 상위 노드(upper node)에 의해 수행될 수도 있다.

[0033] 즉, 기지국을 포함하는 다수의 네트워크 노드들(network nodes)로 이루어지는 네트워크에서 이동국과의 통신을 위해 수행되는 다양한 동작들은 기지국 또는 기지국 이외의 다른 네트워크 노드들에 의해 수행될 수 있다. 이때, '기지국'은 고정국(fixed station), Node B, eNode B(eNB), 발전된 기지국(ABS: Advanced Base Station) 또는 억세스 포인트(access point) 등의 용어에 의해 대체될 수 있다.

[0034] 또한, 단말(Terminal)은 사용자 기기(UE: User Equipment), 이동국(MS: Mobile Station), 가입자 단말(SS: Subscriber Station), 이동 가입자 단말(MSS: Mobile Subscriber Station), 이동 단말(Mobile Terminal) 또는 발전된 이동단말(AMS: Advanced Mobile Station) 등의 용어로 대체될 수 있다.

[0035] 또한, 송신단은 데이터 서비스 또는 음성 서비스를 제공하는 고정 및/또는 이동 노드를 말하고, 수신단은 데이터 서비스 또는 음성 서비스를 수신하는 고정 및/또는 이동 노드를 의미한다. 따라서, 상향링크에서는 이동국이 송신단이 되고, 기지국이 수신단이 될 수 있다. 마찬가지로, 하향링크에서는 이동국이 수신단이 되고, 기지국이 송신단이 될 수 있다.

[0036] 본 발명의 실시예들은 무선 접속 시스템들인 IEEE 802.xx 시스템, 3GPP(3rd Generation Partnership Project) 시스템, 3GPP LTE 시스템 및 3GPP2 시스템 중 적어도 하나에 개시된 표준 문서들에 의해 뒷받침될 수 있으며, 특히, 본 발명의 실시예들은 3GPP TS 36.211, 3GPP TS 36.212, 3GPP TS 36.213 및 3GPP TS 36.321 문서들에 의

해 뒷받침 될 수 있다. 즉, 본 발명의 실시예들 중 설명하지 않은 자명한 단계들 또는 부분들은 상기 문서들을 참조하여 설명될 수 있다. 또한, 본 문서에서 개시하고 있는 모든 용어들은 상기 표준 문서에 의해 설명될 수 있다.

[0037] 이하, 본 발명에 따른 바람직한 실시 형태를 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면과 함께 이하에 개시될 상세한 설명은 본 발명의 예시적인 실시형태를 설명하고자 하는 것이며, 본 발명이 실시될 수 있는 유일한 실시형태를 나타내고자 하는 것이 아니다. 또한, 본 발명의 실시예들에서 사용되는 특정(特定) 용어들은 본 발명의 이해를 돕기 위해서 제공된 것이며, 이러한 특정 용어의 사용은 본 발명의 기술적 사상을 벗어나지 않는 범위에서 다른 형태로 변경될 수 있다.

[0038] 본 명세서에서, 굵은 소문자들은 벡터들을 나타내고, 윗첨자 $(\cdot)^H$ 및 $(\cdot)^{-1}$ 는 에르미트(Hermitian) 연산 및 역연산을 각각 의미한다. 또한, $E(\cdot)$는 기대값 연산을 의미한다.

[0039] 이하의 기술은 CDMA(code division multiple access), FDMA(frequency division multiple access), TDMA(time division multiple access), OFDMA(orthogonal frequency division multiple access), SC-FDMA(single carrier frequency division multiple access) 등과 같은 다양한 무선 접속 시스템에 사용될 수 있다.

[0040] CDMA 는 UTRA(Universal Terrestrial Radio Access)나 CDMA2000 과 같은 무선 기술(radio technology)로 구현될 수 있다. TDMA 는 GSM(Global System for Mobile communications)/GPRS(General Packet Radio Service)/EDGE(Enhanced Data Rates for GSM Evolution)와 같은 무선 기술로 구현될 수 있다. OFDMA 는 IEEE 802.11 (Wi-Fi), IEEE 802.16 (WiMAX), IEEE 802-20, E-UTRA(Evolved UTRA) 등과 같은 무선 기술로 구현될 수 있다.

[0041] UTRA 는 UMTS(Universal Mobile Telecommunications System)의 일부이다. 3GPP LTE(Long Term Evolution)은 E-UTRA 를 사용하는 E-UMTS(Evolved UMTS)의 일부로써, 하향링크에서 OFDMA 를 채용하고 상향링크에서 SC-FDMA 를 채용한다. LTE-A(Advanced) 시스템은 3GPP LTE 시스템이 개량된 시스템이다. 본 발명의 기술적 특징에 대한 설명을 명확하게 하기 위해, 본 발명의 실시예들을 3GPP LTE/LTE-A 시스템을 위주로 기술하지만 IEEE 802.16e/m 시스템 등에도 적용될 수 있다.

[0042] 1. 3GPP LTE/LTE_A 시스템 일반

[0043] 무선 접속 시스템에서 단말은 하향링크(DL: Downlink)를 통해 기지국으로부터 정보를 수신하고, 상향링크(UL: Uplink)를 통해 기지국으로 정보를 전송한다. 기지국과 단말이 송수신하는 정보는 일반 데이터 정보 및 다양한 제어 정보를 포함하고, 이들이 송수신 하는 정보의 종류/용도에 따라 다양한 물리 채널이 존재한다.

[0044] 도 1 은 3GPP LTE 시스템에 이용되는 물리 채널들 및 이들을 이용한 일반적인 신호 전송 방법을 설명하기 위한 도면이다.

[0045] 전원이 꺼진 상태에서 다시 전원이 켜지거나, 새로이 셀에 진입한 단말은 S101 단계에서 기지국과 동기를 맞추는 등의 초기 셀 탐색(Initial cell search) 작업을 수행한다. 이를 위해 단말은 기지국으로부터 주동기 채널(P-SCH: Primary Synchronization Channel) 및 부동기 채널(S-SCH: Secondary Synchronization Channel)을 수신하여 기지국과 동기를 맞추고, 셀 ID 등의 정보를 획득한다.

[0046] 그 후, 단말은 기지국으로부터 물리방송채널(PBCH: Physical Broadcast Channel) 신호를 수신하여 셀 내 방송 정보를 획득할 수 있다. 한편, 단말은 초기 셀 탐색 단계에서 하향링크 참조 신호(DL RS: Downlink Reference Signal)를 수신하여 하향링크 채널 상태를 확인할 수 있다.

[0047] 초기 셀 탐색을 마친 단말은 S102 단계에서 물리 하향링크제어채널(PDCCH: Physical Downlink Control Channel) 및 물리하향링크제어채널 정보에 따른 물리하향링크공유 채널(PDSCH: Physical Downlink Control Channel)을 수신하여 좀더 구체적인 시스템 정보를 획득할 수 있다.

[0048] 이후, 단말은 기지국에 접속을 완료하기 위해 이후 단계 S103 내지 단계 S106 과 같은 임의 접속 과정(Random Access Procedure)을 수행할 수 있다. 이를 위해 단말은 물리임의접속채널(PRACH: Physical Random Access Channel)을 통해 프리앰블(preamble)을 전송하고(S103), 물리하향링크제어채널 및 이에 대응하는 물리하향링크공유 채널을 통해 프리앰블에 대한 응답 메시지를 수신할 수 있다(S104). 경쟁 기반 임의 접속의 경우, 단말은 추가적인 물리임의접속채널 신호의 전송(S105) 및 물리하향링크제어채널 신호 및 이에 대응하는 물리하향링크공유 채널 신호의 수신(S106)과 같은 충돌해결절차(Contention Resolution Procedure)를 수행할 수 있다.

[0049] 상술한 바와 같은 절차를 수행한 단말은 이후 일반적인 상/하향링크 신호 전송 절차로서 물리하향링크제어채널 신호 및/또는 물리하향링크공유채널 신호의 수신(S107) 및 물리상향링크공유채널(PUSCH: Physical Uplink Shared Channel) 신호 및/또는 물리상향링크제어채널(PUCCH: Physical Uplink Control Channel) 신호의 전송(S108)을 수행할 수 있다.

[0050] 단말이 기지국으로 전송하는 제어 정보를 통칭하여 상향링크 제어정보(UCI: Uplink Control Infomation)라고 지칭한다. UCI 는 HARQ-ACK/NACK(Hybrid Automatic Repeat and reQuest Acknowledgement/Negative-ACK), SR(Scheduling Request), CQI(Channel Quality Indication), PMI(Precoding Matrix Indication), RI(Rank Indication) 정보 등을 포함한다.

[0051] LTE 시스템에서 UCI 는 일반적으로 PUCCH 를 통해 주기적으로 전송되지만, 제어 정보와 트래픽 데이터가 동시에 전송되어야 할 경우 PUSCH 를 통해 전송될 수 있다. 또한, 네트워크의 요청/지시에 의해 PUSCH 를 통해 UCI 를 비주기적으로 전송할 수 있다.

[0052] 도 2 는 단말의 일 구조 및 단말이 상향링크 신호를 전송하기 위한 신호 처리 과정을 설명하기 위한 도면이다.

[0053] 상향링크 신호를 전송하기 위해 단말의 스크램블링(scrambling) 모듈(210)은 단말 특정 스크램블 신호를 이용하여 전송 신호를 스크램블 할 수 있다. 스크램블된 신호는 변조 맵퍼(220)에 입력되어 전송 신호의 종류 및/또는 채널 상태에 따라 BPSK(Binary Phase Shift Keying), QPSK(Quadrature Phase Shift Keying) 또는 16QAM/64QAM(Quadrature Amplitude Modulation) 방식을 이용하여 복소 심볼(complex symbol)로 변조된다. 변조된 복소 심볼은 변환 프리코더(230)에 의해 처리된 후, 자원 요소 맵퍼(240)에 입력되며, 자원 요소 맵퍼(240)는 복소 심볼을 시간-주파수 자원 요소에 맵핑할 수 있다. 이와 같이 처리된 신호는 SC-FDMA 신호 생성기(250)를 거쳐 안테나를 통해 기지국으로 전송될 수 있다.

[0054] 도 3 은 기지국의 일 구조 및 기지국이 하향링크 신호를 전송하기 위한 신호 처리 과정을 설명하기 위한 도면이다.

[0055] 3GPP LTE 시스템에서 기지국은 하향링크로 하나 이상의 코드워드(codeword)를 전송할 수 있다. 코드워드는 각각 도 2 의 상향링크에서와 마찬가지로 스크램블 모듈(301) 및 변조 맵퍼(302)를 통해 복소 심볼로 처리될 수 있다. 그 후, 복소 심볼은 레이어 맵퍼(303)에 의해 복수의 레이어(Layer)에 맵핑되며, 각 레이어는 프리코딩 모듈(304)에 의해 프리코딩 행렬과 곱해져 각 전송 안테나에 할당될 수 있다. 이와 같이 처리된 각 안테나 별 전송 신호는 각각 자원 요소 맵퍼(305)에 의해 시간-주파수 자원 요소에 맵핑되며, 이후 OFDM(Orthogonal Frequency Division Multiple Access) 신호 생성기(306)를 거쳐 각 안테나를 통해 전송될 수 있다.

[0056] 무선 통신 시스템에서 단말이 상향링크로 신호를 전송하는 경우에는 기지국이 하향링크로 신호를 전송하는 경우에 비해 PAPR(Peak-to-Average Ratio)이 문제된다. 따라서, 도 2 및 도 3 과 관련하여 상술한 바와 같이 상향링크 신호 전송은 하향링크 신호 전송에 이용되는 OFDMA 방식과 달리 SC-FDMA(Single Carrier-Frequency Division Multiple Access) 방식이 이용되고 있다.

[0057] 도 4 는 단말의 일 구조 및 SC-FDMA 방식과 OFDMA 방식을 설명하기 위한 도면이다.

[0058] 3GPP 시스템 (e.g. LTE 시스템)은 하향링크에서 OFDMA 를 채용하고 상향링크에서 SC-FDMA 를 채용한다. 도 4 를 참조하면, 상향링크 신호 전송을 위한 단말 및 하향링크 신호 전송을 위한 기지국 모두 직렬-병렬 변환기(Serial-to-Parallel Converter: 401), 부반송파 맵퍼(403), M-포인트 IDFT 모듈(404) 및 CP(Cyclic Prefix) 추가 모듈(406)을 포함하는 점에 있어서는 동일하다.

[0059] 다만, SC-FDMA 방식으로 신호를 전송하기 위한 단말은 N-포인트 DFT 모듈(402)을 추가로 포함한다. N-포인트 DFT 모듈(402)은 M-포인트 IDFT 모듈(404)의 IDFT 처리 영향을 일정 부분 상쇄함으로써 전송 신호가 단일 반송파 특성(single carrier property)을 가지도록 한다.

[0060] 도 5 는 주파수 도메인에서 단일 반송파 특성을 만족하기 위한 주파수 도메인상의 신호 맵핑 방식을 설명하는 도면이다.

[0061] 도 5(a)는 집중형 맵핑(localized mapping) 방식을 나타내며, 도 5(b)는 분산형 맵핑(distributed mapping) 방식을 나타낸다. 이때, SC-FDMA 의 수정된 형태인 클러스터(clustered)는 부반송파 맵핑(mapping) 과정에서 DFT 프로세스 출력 샘플들을 부 그룹(sub-group)으로 나뉘고, 이들을 주파수 도메인(혹은 부반송파 도메인)에 불연속적으로 맵핑한다.

[0062] 도 6 은 SC-FDMA 방식에 따른 전송 신호를 복조(demodulation)하기 위한 참조 신호(RS: Reference Signal)의 송신 처리를 설명하기 위한 블록도이다.

[0063] LTE 표준(예를 들어, 3GPP release 8)에서는, 데이터 부분은 시간 영역에서 생성된 신호가 DFT 처리를 통해 주파수 영역 신호로 변환된 뒤에 부반송파 맵핑 후 IFFT 처리를 하여 전송되지만(도 4 참조), RS 는 DFT 처리를 생략하고 주파수 영역에서 바로 생성하여(S610) 부반송파 상에 맵핑한 후(S620) IFFT 처리(S630) 및 CP 추가(S640)를 거쳐 전송되는 것으로 정의하고 있다.

[0064] 도 7 은 SC-FDMA 방식에 따른 서브프레임 구조에서 참조신호(RS)가 맵핑되는 심볼 위치를 나타내는 도면이다.

[0065] 도 7(a)는 일반 CP 경우에 하나의 서브프레임에서 2 개의 슬롯 각각의 4 번째 SC-FDMA 심볼에 RS 가 위치하는 것을 도시한다. 도 7(b)는 확장된 CP 경우에 하나의 서브프레임에서 2 개의 슬롯 각각의 3 번째 SC-FDMA 심볼에 RS 가 위치하는 것을 도시한다.

[0066] 도 8 은 클러스터 SC-FDMA 에서 DFT 프로세스 출력 샘플들이 단일 캐리어에 맵핑되는 신호 처리 과정을 도시하는 도면이다. 또한, 도 9 및 도 10 은 클러스터 SC-FDMA 에서 DFT 프로세스 출력 샘플들이 멀티캐리어(multi-carrier)에 맵핑되는 신호 처리 과정을 도시하는 도면이다.

[0067] 도 8 은 인트라 캐리어(intra-carrier) 클러스터 SC-FDMA 를 적용하는 예이고, 도 9 및 도 10 은 인터 캐리어(inter-carrier) 클러스터 SC-FDMA 를 적용하는 예에 해당한다. 도 9 는 주파수 도메인에서 연속적(contiguous)으로 컴포넌트 캐리어(component carrier)가 할당된 상황에서 인접한 컴포넌트 캐리어간의 부반송파 간격(spacing)이 정렬된 경우 단일 IFFT 블록을 통해 신호를 생성하는 경우를 나타낸다. 도 10 은 주파수 도메인에서 비연속적(non-contiguous)으로 컴포넌트 캐리어가 할당된 상황에서 복수의 IFFT 블록을 통해 신호를 생성하는 경우를 나타낸다.

[0068] 도 11 은 세그먼트(segmented) SC-FDMA 의 신호 처리 과정을 도시하는 도면이다.

[0069] 세그먼트 SC-FDMA 는 임의 개수의 DFT 와 같은 개수의 IFFT 가 적용되면서 DFT 와 IFFT 간의 관계 구성이 일대일 관계를 가짐에 따라 단순히 기존 SC-FDMA 의 DFT 확산과 IFFT 의 주파수 부반송파 맵핑 구성을 확장한 것으로 NxSC-FDMA 또는 NxDFT-s-OFDMA 라고 표현되기도 한다. 본 명세서는 이들을 포괄하여 세그먼트 SC-FDMA 라고 명명한다. 도 11 을 참조하면, 세그먼트 SC-FDMA 는 단일 반송파 특성 조건을 완화하기 위하여 전체 시간 도메인 변조 심볼들을 N(N 은 1 보다 큰 정수)개의 그룹으로 묶어 그룹 단위로 DFT 프로세스를 수행한다.

[0070] 도 12 는 본 발명의 실시예들에서 사용 가능한 상향링크 서브프레임의 구조를 예시한다.

[0071] 도 12 를 참조하면, 상향링크 서브프레임은 복수(예, 2 개)의 슬롯을 포함한다. 슬롯은 순환전치 (CP: Cyclic Prefix) 길이에 따라 서로 다른 수의 SC-FDMA 심볼을 포함할 수 있다. 일 예로, 일반(normal) CP 의 경우 슬롯은 7 개의 SC-FDMA 심볼을 포함할 수 있다.

[0072] 상향링크 서브프레임은 데이터 영역과 제어 영역으로 구분된다. 데이터 영역은 PUSCH 신호가 송수신되는 영역으로, 음성 등의 상향링크 데이터 신호를 전송하는데 사용된다. 제어 영역은 PUCCH 신호가 송수신되는 영역으로, 상향링크 제어 정보를 전송하는데 사용된다.

[0073] PUCCH 는 주파수 축에서 데이터 영역의 양끝부분에 위치한 RB 쌍(RB pair; 예를 들어, m=0,1,2,3)을 포함한다. 또한, PUCCH 는 주파수 축에서 반대 끝부분(예를 들어, 주파수 반사(frequency mirrored)된 위치의 RB 쌍)에 위치한 RB 쌍으로 구성되며, 슬롯을 경계로 호핑된다. 상향링크 제어정보(즉, UCI)는 HARQ ACK/NACK, 채널품질정보 (CQI: Channel Quality Information), 프리코딩 매트릭스 지시자 (PMI: Precoding Matrix Indicator) 및 랭크 지시 (RI: Rank Indication) 정보 등을 포함한다.

[0074] 도 13 은 본 발명의 실시예들에서 사용 가능한 UL-SCH 데이터와 제어 정보의 처리 과정을 예시한다.

[0075] 도 13 을 참조하면, UL-SCH 을 통해 전송되는 데이터는 각 전송시간구간(TTI)마다 한 번씩 전송블록(TB: Transport Block)의 형태로 부호화 유닛(coding unit)에 전달된다.

[0076] 상위 계층으로부터 전달받은 전송 블록의 비트 $a_0, a_1, a_2, a_3, ..., a_{A-1}$ 에 패리티 비트 $p_0, p_1, p_2, p_3, ..., p_{L-1}$ 가 부가된다. 이때, 전송 블록의 크기는 A 이고, 패리티 비트의 수는 L=24 비트이다. CRC 가 부착된 입력비트는 $b_0, b_1, b_2, b_3, ..., b_{B-1}$ 로 표현될 수 있으며, B 는 CRC 를 포함한 전송 블록의 비트 수를 나타낸다(S1300).

[0077] $b_0, b_1, b_2, b_3, ..., b_{B-1}$ 는 TB 크기에따라여러개의코드 블록(CB: Code block)으로 분할(segmentation)되고, 분할된

여러개의 CB 들에 CRC 가부착된다. 코드 블록 분할 및 CRC 부착 후 비트는 $c_{r0}, c_{r1}, c_{r2}, c_{r3}, \ldots, c_{r(K_r-1)}$ 과 같다. 여기서 r 은 코드 블록의 번호(r=0,...,C-1)이고, Kr 은 코드 블록 r 에 따른 비트 수이다. 또한, C 는 코드 블록의 총 개수를 나타낸다 (S1310).

[0078] 이어, 채널 부호화 유닛에 입력되는 $c_{r0}, c_{r1}, c_{r2}, c_{r3}, \ldots, c_{r(K_r-1)}$ 에 채널 부호화(Channel Coding) 단계가 수행된다. 채널 부호화 이후의 비트는 $d_{r0}^{(i)}, d_{r1}^{(i)}, d_{r2}^{(i)}, d_{r3}^{(i)}, \ldots, d_{r(D_r-1)}^{(i)}$ 이 된다. 이때, i 는 부호화된 데이터 스트림의 인덱스($i=0,1,2$)이며, D_r 은 코드 블록 r 을 위한 i 번째 부호화된 데이터 스트림의 비트 수를 나타낸다 (즉, D_r = Kr + 4). r 은 코드 블록 번호를 나타내고(r=0,1,...,C-1), Kr 은 코드 블록 r 의 비트 수를 나타낸다. 또한, C 는 코드 블록의 총 개수를 나타낸다. 본 발명의 실시예들에서 각 코드 블록들은 터보 코딩 방식을 이용하여 채널 부호화될 수 있다 (S1320).

[0079] 채널 부호화 과정 이후에 레이트 매칭 단계가 수행된다. 레이트 매칭 이후의 비트는 $e_{r0}, e_{r1}, e_{r2}, e_{r3}, \ldots, e_{r(E_r-1)}$ 과 같다. 이때, E_r 은 r-번째 코드 블록의 레이트 매칭된 비트의 개수를 나타내며, r=0,1,...,C-1 이고, C 는 코드 블록의 총 개수를 나타낸다 (S1330).

[0080] 레이트 매칭 과정 이후에 코드 블록 연결(Concatenation) 과정이 수행된다. 코드 블록 연결 이후 비트는 $f_0, f_1, f_2, f_3, \ldots, f_{G-1}$ 가 된다. 이때, G 는 부호화된 비트의 총 개수를 나타낸다. 다만, 제어 정보가 UL-SCH 데이터와 함께 다중화 되어 전송되는 경우에는 제어 정보 전송에 사용되는 비트는 G 에 포함되지 않는다. $f_0, f_1, f_2, f_3, \ldots, f_{G-1}$ 는 UL-SCH 코드워드에 해당한다 (S1340).

[0081] 상향링크 제어정보(UCI)인채널 품질 정보(CQI 및/또는 PMI), RI 및 HARQ-ACK 의경우 채널 코딩이 각각 독립적으로 수행된다 (S1350, S1360, S1370). 각 UCI 에 대한 채널 코딩은 각각의 제어 정보를 위한 부호화된 심볼의 개수에 기초하여 수행된다. 예를 들어, 부호화된 심볼의 개수는 부호화된 제어 정보의 레이트 매칭에 사용될 수 있다 부호화된 심볼의 개수는 이후의 과정에서 변조 심볼의 개수, RE 의 개수 등으로 대응된다.

[0082] 채널 품질 정보(CQI)의 채널 코딩은 $o_0, o_1, o_2, \ldots, o_{O-1}$ 입력 비트 시퀀스를 이용하여 수행된다(S1350). 채널 품질 정보를 위한 채널 코딩의 출력 비트 시퀀스는 $q_0, q_1, q_2, q_3, \ldots, q_{Q_{CQI}-1}$ 가 된다. 채널 품질 정보는 비트 수에 따라 적용되는 채널 코딩 방식이 달라진다. 또한, 채널 품질 정보는 11 비트 이상인 경우에는 CRC 8 비트가 부가된다. Q_{CQI} 는 CQI 에 대한 부호화된 비트의 총 개수를 나타낸다.비트 시퀀스의 길이를 Q_{CQI} 에 맞추기 위해, 부호화된 채널 품질 정보는 레이트-매칭될 수 있다. $Q_{CQI}=Q'_{CQI} \times Q_m$ 이고, Q'_{CQI} 은 CQI 를 위한 부호화된 심볼의 개수이며, Q_m 은 변조 차수(order)이다.Q_m 은 UL-SCH 데이터와 동일하게 설정된다.

[0083] RI 의 채널 코딩은 입력 비트 시퀀스 $[o_0^{RI}]$ 또는 $[o_0^{RI}\ o_1^{RI}]$ 를 이용하여 수행된다(S1360). $[o_0^{RI}]$ 와 $[o_0^{RI}\ o_1^{RI}]$ 는 각각 1-비트 RI 와 2-비트 RI 를 의미한다.

[0084] 1-비트 RI 의 경우, 반복(repetition) 코딩이 사용된다. 2-비트 RI 의 경우, (3,2) 심플렉스 코드가 부호화에 사용되고 인코딩된 데이터는 순환 반복될 수 있다. 또한 3-비트 이상 내지 11-비트 이하의 RI 에 대해서는 상향링크 공유 채널에서 사용하는 (32,0) RM 부호를 사용하여 부호화 하며, 12 비트 이상의 RI 에 대해서는 이중 RM 구조를 이용하여 RI 정보를 두 그룹으로 나누어 각각의 그룹을 (32,0) RM 부호를 이용하여 부호화 한다. 출력 비트 시퀀스 $q_0^{RI}, q_1^{RI}, q_2^{RI}, \ldots, q_{Q_{RI}-1}^{RI}$ 는 부호화된 RI 블록(들)의 결합에 의해 얻어진다.이때, Q_{RI} 는 RI 에 대한 부호화된 비트의 총 개수를 나타낸다. 부호화된 RI 의 길이를 Q_{RI} 에 맞추기 위해, 마지막에 결합되는 부호화된 RI 블록은 일부분일 수 있다(즉, 레이트 매칭). $Q_{RI}=Q'_{RI} \times Q_m$ 이고, Q'_{RI} 은 RI 를 위한 부호화된 심볼의 개수이며, Q_m 은 변조 차수(order)이다.Q_m 은 UL-SCH 데이터와 동일하게 설정된다.

[0085] HARQ-ACK 의 채널 코딩은 단계 S1370 의 입력 비트 시퀀스 $[o_0^{ACK}]$, $[o_0^{ACK}\ o_1^{ACK}]$ 또는 $[o_0^{ACK}\ o_1^{ACK} \cdots o_{O^{ACK}-1}^{ACK}]$ 를 이용하여 수행된다. $[o_0^{ACK}]$ 와 $[o_0^{ACK}\ o_1^{ACK}]$ 는 각각 1-비트 HARQ-ACK 와 2-비트 HARQ-ACK 을 의미한다. 또한, $[o_0^{ACK}\ o_1^{ACK} \cdots o_{O^{ACK}-1}^{ACK}]$ 두 비트 이상의 정보로 구성된 HARQ-ACK 을 의미한다 (즉, O^{ACK} > 2).

[0086] 이때, ACK 은 1 로 부호화되고, NACK 은 0 으로 부호화된다. 1-비트 HARQ-ACK 의 경우, 반복(repetition) 코딩이 사용된다. 2-비트 HARQ-ACK 의 경우, (3,2) 심플렉스 코드가 사용되고 인코딩된 데이터는 순환 반복될 수 있다. 또한 3-비트 이상 내지 11-비트 이하의 HARQ-ACK 에 대해서는 상향링크 공유 채널에서 사용하는 (32,0) RM 부호를 사용하여 부호화 하며, 12 비트 이상의 HARQ-ACK 에 대해서는 이중 RM 구조를 이용하여 HARQ-ACK 정보를 두 그룹으로 나누어 각각의 그룹을 (32,0) RM 부호를 이용하여 부호화 한다. Q_{ACK} 은 HARQ-ACK 에 대한 부호화된 비트의 총 개수를 나타내며, 비트 시퀀스 $q_0^{ACK}, q_1^{ACK}, q_2^{ACK}, \ldots, q_{Q_{ACK}-1}^{ACK}$ 는 부호화된 HARQ-ACK 블록(들)의 결합에 의해 얻어진다.비트 시퀀스의 길이를 Q_{ACK} 에 맞추기 위해, 마지막에 결합되는 부호화된 HARQ-ACK 블록은 일부분일 수 있다(즉, 레이트 매칭). $Q_{ACK}=Q'_{ACK}\times Q_m$ 이고, Q'_{ACK} 은 HARQ-ACK 을 위한 부호화된 심볼의 개수이며, Q_m 은 변조 차수(Order)이다.Q_m 은 UL-SCH 데이터와 동일하게 설정된다.

[0087] 데이터/제어 다중화 블록의 입력은 부호화된 UL-SCH 비트를 의미하는 $f_0, f_1, f_2, f_3, \ldots, f_{G-1}$ 와 부호화된 CQI/PMI 비트를 의미하는 $q_0, q_1, q_2, q_3, \ldots, q_{Q_{CQI}-1}$ 이다(S1380). 데이터/제어 다중화 블록의 출력은 $\underline{g}_0, \underline{g}_1, \underline{g}_2, \underline{g}_3, \ldots, \underline{g}_{H'-1}$ 이다. $\underline{g}_i$ 는 길이 Q_m 의 컬럼 벡터이다$(i=0,\ldots,H'-1)$. 이때, $\underline{g}_i$ $(i=0,\ldots,H'-1)$ 는 $(Q_m \cdot N_L)$ 길이를 가지는 컬럼(column) 벡터를 나타낸다. $H=(G+N_L \cdot Q_{CQI})$이고, $H'=H/(N_L \cdot Q_m)$ 이다. N_L 은 UL-SCH 전송 블록이 매핑된 레이어의 개수를 나타내고, H 는 전송 블록이 매핑된 N_L 개 전송 레이어에 UL-SCH 데이터와 CQI/PMI 정보를 위해 할당된 부호화된 총 비트의 개수를 나타낸다. 이때, H 는 UL-SCH 데이터와 CQI/PMI 를 위해 할당된 부호화된 비트의 총 개수이다.

[0088] 채널 인터리버에서는 채널 인터리버에 입력되는 부호화된 비트들을 대상으로 채널 인터리빙 단계가 수행된다. 이때, 채널 인터리버의 입력은 데이터/제어 다중화 블록의 출력, $\underline{g}_0, \underline{g}_1, \underline{g}_2, \ldots, \underline{g}_{H'-1}$, 부호화된 랭크 지시자 $\underline{q}_0^{RI}, \underline{q}_1^{RI}, \underline{q}_2^{RI}, \ldots, \underline{q}_{Q'_{RI}-1}^{RI}$ 및 부호화된 HARQ-ACK $\underline{q}_0^{ACK}, \underline{q}_1^{ACK}, \underline{q}_2^{ACK}, \ldots, \underline{q}_{Q'_{ACK}-1}^{ACK}$ 이다 (S1390).

[0089] S1390 단계에서, $\underline{g}_i$ 는 CQI/PMI 를 위한 길이 Q_m 의 컬럼 벡터이며, i=0,...,H'-1이다$(H' = H / Q_m)$. $\underline{q}_i^{ACK}$ 는 ACK/NACK 을 위한 길이 Q_m 의 컬럼 벡터이며, i=0,...,Q'_{ACK}-1이다$(Q'_{ACK} = Q_{ACK} / Q_m)$. $\underline{q}_i^{RI}$ 는 RI 를 위한 길이 Q_m 의 컬럼 벡터를 나타내며, i=0,...,Q'_{RI}-1이다($Q'_{RI}=Q_{RI}/Q_m$).

[0090] 채널 인터리버는 PUSCH 전송을 위해 제어 정보 및/또는 UL-SCH 데이터를 다중화한다. 구체적으로, 채널 인터리버는 PUSCH 자원에 대응하는 채널 인터리버 행렬에 제어 정보와 UL-SCH 데이터를 맵핑하는 과정을 포함한다.

[0091] 채널 인터리빙이 수행된 이후, 채널 인터리버 행렬로부터 행-바이-행으로 비트 시퀀스 $h_0, h_1, h_2, \ldots, h_{H+Q_{RI}-1}$ 가 출력된다. 도출된 비트 시퀀스는 자원 그리드 상에 맵핑된다.

[0092] 도 14 는 PUSCH 상에서 상향링크 제어정보와 UL-SCH 데이터의 다중화방법의 일례를 나타내는 도면이다.

[0093] 단말이 PUSCH 전송이 할당된 서브프레임에서 제어 정보를 전송하고자 할 경우, 단말은 DFT-확산 이전에 상향링

크 제어정보(UCI)와 UL-SCH 데이터를 함께 다중화한다. 상향링크 제어정보(UCI)는 CQI/PMI, HARQ-ACK/NACK 및 RI 중에서 적어도 하나를 포함한다.

[0094] CQI/PMI, ACK/NACK 및 RI 전송에 사용되는 각각의 RE 개수는 PUSCH 전송을 위해 할당된 MCS(Modulation and Coding Scheme) 및 오프셋 값 (Δ^{CQI}_{offset} , $\Delta^{HARQ-ACK}_{offset}$, Δ^{RI}_{offset})에 기초한다. 오프셋 값은 제어 정보에 따라 서로 다른 코딩 레이트를 허용하며 상위 계층(예를 들어, RRC 계층) 시그널에 의해 반-정적으로 설정된다. UL-SCH 데이터와 제어 정보는 동일한 RE 에 맵핑되지 않는다. 제어 정보는 서브프레임의 두 슬롯에 모두 존재하도록 맵핑된다. 기지국은 제어 정보가 PUSCH 를 통해 전송될 것을 사전에 알 수 있으므로 제어 정보 및 데이터 패킷을 손쉽게 역-다중화 할 수 있다.

[0095] 도 14 를 참조하면, CQI 및/또는 PMI(CQI/PMI) 자원은 UL-SCH 데이터 자원의 시작 부분에 위치하고 하나의 부반송파 상에서 모든 SC-FDMA 심볼에 순차적으로 맵핑된 이후에 다음 부반송파에서 맵핑이 이뤄진다. CQI/PMI 는 부반송파 내에서 왼쪽에서 오른쪽, 즉 SC-FDMA 심볼 인덱스가 증가하는 방향으로 맵핑된다. PUSCH 데이터(UL-SCH 데이터)는 CQI/PMI 자원의 양(즉, 부호화된 심볼의 개수)을 고려해서 레이트-매칭된다. UL-SCH 데이터와 동일한 변조 차수(modulation order)가 CQI/PMI 에 사용된다.

[0096] 예를 들어, CQI/PMI 정보 사이즈(페이로드 사이즈)가 작은 경우(예를 들어, 11 비트 이하), CQI/PMI 정보에는 PUCCH 데이터 전송과 유사하게 (32, k)블록 코드가 사용되며 부호화된 데이터는 순환 반복될 수 있다. CQI/PMI 정보 사이즈가 작은 경우 CRC 는 사용되지 않는다.

[0097] 만약, CQI/PMI 정보 사이즈가 큰 경우(예를 들어, 11 비트 초과), 8 비트 CRC 가 부가되고 테일-바이팅 컨볼루션 코드(tail-bitingconvolutional code)를 이용하여 채널 코딩과 레이트 매칭이 수행된다. ACK/NACK 은 UL-SCH 데이터가 맵핑된 SC-FDMA 의 자원의 일부에 펑처링을 통해 삽입된다. ACK/NACK 은 RS 옆에 위치하며 해당 SC-FDMA 심볼 내에서 아래쪽부터 시작해서 위쪽, 즉 부반송파 인덱스가 증가하는 방향으로 채워진다.

[0098] 일반 CP (Normal CP)인 경우, 도 14 와 같이 ACK/NACK 을 위한 SC-FDMA 심볼은 각 슬롯에서 SC-FDMA 심볼 #2/#4 에 위치한다. 서브프레임에서 ACK/NACK 이 실제로 전송하는지 여부와 관계 없이, 부호화된 RI 는 ACK/NACK 을 위한 심볼의 옆(즉, 심볼 #1/#5)에 위치한다. 이때, ACK/NACK, RI 및 CQI/PMI 는 독립적으로 코딩된다.

[0099] 도 15 는 MIMO(Multiple Input Multiple Output) 시스템에서 제어 정보와 UL-SCH 데이터의 다중화를 나타내는 도면이다.

[0100] 도 15 를 참조하면, 단말은 PUSCH 전송을 위한 스케줄링 정보로부터 UL-SCH(데이터 파트)를 위한 랭크(n_sch) 및 이와 관련된 PMI 를 식별한다(S1510). 또한, 단말은 UCI 를 위한 랭크(n_ctrl)를 결정한다(S1520). 이로 제한되는 것은 아니지만, UCI 의 랭크는 UL-SCH 의 랭크와 동일하게 설정될 수 있다(n_ctrl=n_sch). 이후, 데이터와 제어 채널의 다중화가 이루어진다(S1530). 이후, 채널 인터리버는 데이터/CQI 의 시간-우선 맵핑을 수행하고 DM-RS 주변을 펑처링하여 ACK/NACK/RI 을 맵핑한다(S1540). 이후, MCS 테이블에 따라 데이터와 제어 채널의 변조가 수행된다(S1550). 변조 방식은 예를 들어 QPSK, 16QAM, 64QAM 을 포함한다. 변조 블록의 순서/위치는 변경될 수 있다 (예, 데이터와 제어 채널의 다중화 이전).

[0101] 도 16 은 본 발명의 일 실시예에 따라 단말에 포함된 복수의 UL-SCH 전송 블록과 단말에서 상향링크 제어정보를 다중화하여 전송하는 방법의 일례를 나타내는 도면이다.

[0102] 도 16 은 두 개의 코드워드가 전송되는 경우를 가정하고 있지만, 도 16 은 하나 또는 셋 이상의 코드워드 전송 시에도 적용될 수 있다. 코드워드와 전송블록은 서로 대응되며 본 명세서에서 이들은 서로 혼용된다. 기본적인 과정은 도 13 및 14 를 참조하여 설명한 것과 동일/유사하므로 여기서는 MIMO 와 관련된 부분을 위주로 설명한다.

[0103] 도 16 에서 두 개의 코드워드가 전송되는 경우를 가정하면, 채널 코딩은 각 코드워드에 대해 수행된다(160). 또한, 주어진 MCS 레벨과 자원의 크기에 따라 레이트 매칭(rate matching)이 수행된다(161). 인코딩된 비트(bit)들은 셀 고유(cell-specific) 또는 사용자 기기 특정(UE-specific) 또는 코드워드 특정(codeword-specific)의 방식으로 스크램블링될 수 있다(162). 이후, 코드워드 대 레이어 매핑(codeword to layer)이 수행된다(163). 이 과정에서 레이어 시프트(layer shift) 또는 퍼뮤테이션(permutation)의 동작이 포함될 수 있다.

[0104] CQI, RI 및 ACK/NACK 과 같은 제어 정보는 주어진 조건(specification)에 따라 채널 코딩 블록들(165)에서 채

널 부호화된다. 이때, CQI 와 RI 및 ACK/NACK 은 모든 코드워드에 대하여 동일한 채널부호를 사용하여 부호화될 수 있고, 코드워드 별로 다른 채널 부호를 사용하여 부호화될 수도 있다.

[0105] 이후, 인코딩된 비트의 수는 비트 사이즈 제어부(166)에 의해 변경될 수 있다. 비트 사이즈 제어부(166)는 채널 코딩 블록(165)과 단일화될 수 있다. 상기 비트 사이즈 제어부에서 출력된 신호는 스크램블링된다(167). 이때, 스크램블링은 셀-특정하거나(cell-specific), 레이어 특정하거나(layer-specific), 코드워드-특정하거나(codeword-specific) 또는 사용자 기기 특정(UE-specific)하게 수행될 수 있다

[0106] 비트 사이즈 제어부(166)는 다음과 같이 동작할 수 있다.

[0107] (1) 비트 사이즈 제어부는 PUSCH 에 대한 데이터의 랭크(n_rank_pusch)를 인식한다.

[0108] (2) 제어 채널의 랭크(n_rank_control)는 데이터의 랭크와 동일하도록(즉, n_rank_control=n_rank_pusch) 설정되고, 제어 채널에 대한 비트의 수(n_bit_ctrl)는 제어 채널의 랭크가 곱해져서 그 비트 수가 확장된다.

[0109] 이를 수행하는 하나의 방법은 제어채널을 단순히 복사하여 반복하는 것이다. 이때, 이 제어채널은 채널코딩 전의 정보 레벨 일 수 있거나, 채널 코딩 후의 부호화된 비트 레벨일 수 있다. 예를 들어, n_bit_ctrl=4 인 제어 채널 [a0, a1, a2, a3] 와 n_rank_pusch=2 의 경우에, 확장된 비트 수(n_ext_ctrl)은 [a0, a1, a2, a3, a0, a1, a2, a3]로 8 비트가 될 수 있다.

[0110] 또 다른 방법으로, 상술한 것과 같이 확장된비트수(n_ext_ctrl)가 8 비트가 되도록, 순환 버퍼(circular buffer) 방식을 적용할 수도 있다.

[0111] 비트 사이즈 제어부(166)와 채널 부호화부(165)가 하나로 구성되는 경우에, 부호화된 비트는 기존 시스템(예를 들어, LTE Rel-8)에서 정의된 채널 코딩과 레이트 매칭을 적용하여 생성할 수 있다.

[0112] 비트 사이즈 제어부(166)에 추가하여, 레이어 별로 더욱 랜덤화를 주기 위하여 비트 레벨의 인터리빙이 수행될 수 있다. 또는, 이와 등가적으로 변조 심볼 레벨에서 인터리빙이 수행될 수도 있다.

[0113] CQI/PMI 채널과 2 개의 코드워드에 대한 제어 정보(또는, 제어 데이터)는 데이터/제어 다중화기(multiplexer; 164)에 의해 다중화될 수 있다. 그리고 나서, 하나의 서브프레임 내에서 두 개의 슬롯 각각에 ACK/NACK 정보가 상향링크 DM-RS 주위의 RE 에 매핑되도록 하면서, 채널 인터리버(168)는 시간 우선 맵핑 방식에 따라 CQI/PMI 를 매핑한다.

[0114] 이후, 변조 맵퍼(169)에서는 각 레이어에 대하여 변조를 수행하고, DFT 프리코더(170)는 DFT 프리코딩을 수행하며, MIMO 프리코더(171)에서는 MIMO 프리코딩을 수행하고, 자원요소맵퍼(172)는 RE 매핑이 순차적으로 수행된다. 그리고 나서, SC-FDMA 신호 생성기(173)에서 SC-FDMA 신호를 생성하여, 생성된 제어신호를 안테나 포트를 통해 전송한다.

[0115] 상술한 기능 블록들은 도 16 에 도시된 위치로 제한되는 것은 아니며, 경우에 따라 그 위치가 변경될 수 있다. 예를 들어, 상기 스크램블링 블록(162,167)은 채널 인터리빙 블록 다음에 위치할 수 있다. 또한, 코드워드 대 레이어 매핑 블록(163)은 채널 인터리빙 블록(168) 다음 또는 변조 매퍼 블록(169) 다음에 위치할 수 있다.

[0116] **2. 다중 반송파 집성(Multi-Carrier Aggregation) 환경**

[0117] 본 발명의 실시예들에서 고려하는 통신 환경은 다중 반송파 (Multi-Carrier) 지원 환경을 모두 포함한다. 즉, 본 발명에서 사용되는 멀티캐리어 시스템 또는 반송파 집성 시스템(carrier aggregation system)이라 함은 광대역을 지원하기 위해서, 목표로 하는 광대역을 구성할때 목표 대역보다 작은 대역폭(bandwidth)을 가지는 1 개 이상의 컴포넌트 캐리어(CC: Component Carrier)를 결합(aggregation)하여 사용하는 시스템을 말한다.

[0118] 본 발명에서 멀티 캐리어는 반송파의 집성(또는, 캐리어 결합)을 의미하며, 이때 반송파 집성은 인접한 캐리어 간의 결합뿐 아니라 비 인접한 캐리어 간의 결합을 모두 의미한다. 또한, 캐리어 결합은 반송파 집성, 대역폭 결합 등과 같은 용어와 혼용되어 사용될 수 있다.

[0119] 두 개 이상의 컴포넌트 캐리어(CC)가 결합되어 구성되는 멀티캐리어(즉, 반송파 집성)는 LTE-A 시스템에서는 100MHz 대역폭까지 지원하는 것을 목표로 한다. 목표 대역보다 작은 대역폭을 가지는 1 개 이상의 캐리어를 결합할 때, 결합하는 캐리어의 대역폭은 기존 IMT 시스템과의 호환성(backward compatibility) 유지를 위해서 기존 시스템에서 사용하는 대역폭으로 제한할 수 있다.

[0120] 예를 들어서 기존의 3GPP LTE 시스템에서는 {1.4, 3, 5, 10, 15, 20}MHz 대역폭을 지원하며, 3GPP

LTE_advanced 시스템(즉, LTE_A)에서는 LTE 에서 지원하는 상기의 대역폭들만을 이용하여 20MHz 보다 큰 대역폭을 지원하도록 할 수 있다. 또한, 본 발명에서 사용되는 멀티캐리어 시스템은 기존 시스템에서 사용하는 대역폭과 상관없이 새로운 대역폭을 정의하여 캐리어 결합(즉, 반송파 집성 등)을 지원하도록 할 수도 있다.

[0121] LTE-A 시스템은 무선 자원을 관리하기 위해 셀(cell)의 개념을 사용한다. 셀은 하향링크 자원과 상향링크 자원의 조합으로 정의되며, 상향링크 자원은 필수요소는 아니다. 따라서, 셀은 하향링크 자원 단독, 또는 하향링크 자원과 상향링크 자원으로 구성될 수 있다. 멀티캐리어(즉, 캐리어 병합, 또는 반송파 집성)가 지원되는 경우, 하향링크 자원의 캐리어 주파수(또는, DL CC)와 상향링크 자원의 캐리어 주파수(또는, UL CC) 사이의 링키지(linkage)는 시스템 정보(SIB)에 의해 지시될 수 있다.

[0122] LTE-A 시스템에서 사용되는 셀은 프라이머리 셀(PCell: Primary Cell) 및 세컨더리 셀(SCell: Secondary Cell)을 포함한다. P 셀은 프라이머리 주파수(예를 들어, PCC: primary CC) 상에서 동작하는 셀을 의미하고, S 셀은 세컨더리 주파수(예를 들어, SCC: Secondary CC) 상에서 동작하는 셀을 의미할 수 있다. 다만, 특정 단말에는 P 셀은 하나만 할당되며, S 셀은 하나 이상 할당될 수 있다.

[0123] P 셀은 단말이 초기 연결 설정(initial connection establishment) 과정을 수행하거나 연결 재-설정 과정을 수행하는데 사용된다. P 셀은 핸드오버 과정에서 지시된 셀을 지칭할 수도 있다. S 셀은 RRC 연결이 설정이 이루어진 이후에 구성 가능하고 추가적인 무선 자원을 제공하는데 사용될 수 있다.

[0124] P 셀과 S 셀은 서빙 셀로 사용될 수 있다. RRC_CONNECTED 상태에 있지만 캐리어 병합이 설정되지 않았거나 캐리어 병합을 지원하지 않는 단말의 경우, P 셀로만 구성된 서빙 셀이 단 하나 존재한다. 반면, RRC_CONNECTED 상태에 있고 캐리어 병합이 설정된 단말의 경우 하나 이상의 서빙 셀이 존재할 수 있으며, 전체 서빙 셀에는 P 셀과 하나 이상의 S 셀이 포함된다.

[0125] 초기 보안 활성화 과정이 시작된 이후에, E-UTRAN 은 연결 설정 과정에서 초기에 구성되는 P 셀에 부가하여 하나 이상의 S 셀을 포함하는 네트워크를 구성할 수 있다. 멀티캐리어 환경에서 P 셀 및 S 셀은 각각의 컴포넌트 캐리어(CC)로서 동작할 수 있다. 즉, 다중 반송파 집성은 P 셀과 하나 이상의 S 셀의 결합으로 이해될 수 있다. 이하의 실시예에서는 프라이머리 컴포넌트 캐리어(PCC)는 P 셀과 동일한 의미로 사용될 수 있으며, 세컨더리 컴포넌트 캐리어(SCC)는 S 셀과 동일한 의미로 사용될 수 있다.

[0126] **3. 시스템 모델**

[0127] 본 절에서, 단일 셀 환경에서 전송 빔포밍과 함께 하향링크 DAS 에 대한 시스템 모델을 설명한다. DAS 는 'N'개의 DA 포트와, 'M'개의 안테나 및 단일 안테나를 갖는 'K' 명의 사용자들(즉, 단말)을 포함하는 것을 가정한다. 또한, 모든 사용자들은 반경 R 을 갖는 셀 내에 균일하게 분산되어 있는 것을 가정한다. DA 포트들의 위치는 기대되는 SNR 의 하한 값을 최대로 하는 것으로 결정된다.

[0128] 도 17 은 본 발명에 적용되는 단일셀 DAS 에 대한 시스템 모델을 나타내는 도면이다.

[0129] 도 17 을 참조하면, 도 17 은 N=7 이고, K=3 인 단일셀 DAS 를 나타낸다. DA 포트들이 DAS 내에 지리적으로 분리되어 있으므로, 작은 규모의 페이딩들(즉, Rayleigh 페이딩) 뿐 아니라 큰 규모의 페이딩 (즉, 경로 손실)을 포함하는 채널 모델을 적용한다. 본 발명에서, DA 포트당 전력 제한은 P 로 가정한다. 이때, DA 포트들은 기지국(또는, e-NodeB)의 일부 또는 기지국 그 자체일 수 있다. 예를 들어, 기지국의 다중 안테나 포트들은 DA 포트들을 포함한다.

[0130] 각 사용자에 가장 근접한 DA 포트가 선택되고, 선택된 DA 포트는 상응하는 사용자에게 신호를 전송한다. 다중 사용자들에게 하나의 DA 포트가 선택된 경우에는, 오직 해당 DA 포트로부터 가장 가까운 사용자만이 지원받을 수 있으며, 선택되지 않은 나머지 사용자들은 그 다음 가까운 DA 포트를 선택한다. n(i)는 i 번째 사용자에 의해 선택된 DA 포트의 인덱스를 나타낸다. n(i) 번째 DA 포트로부터 k 번째 유저까지의 길이 M 의 채널 컬럼 벡터는 $\mathbf{g}_{n(i),k} = d_{n(i),k}^{-\alpha/2}\mathbf{h}_{n(i),k}$ 으로 나타낸다. 이때, $d_{n(i),k}$ 는 n(i) 번째 DA 포트 및 k 번째 사용자 간의 거리를 나타내고, α 는 경로 손실 지수를 나타내며, $\mathbf{h}_{n(i),k}$ 는 소규모 페이딩에 대한 채널 컬럼 벡터와 같다. $\mathbf{h}_{n(i),k}$ 의 요소들은 서로 독립적이고, 평균이 0 이고 유닛 분산(zero mean and unit variance)을 갖는 이상적으로 분산된 복소 가우시안 변수들이다.

[0131] k 번째 사용자에 대해 수신된 신호는 다음 수학식 1 과 같이 표현된다.

수학식 1

[0132]
$$y_k = \sqrt{P}\sum_{i=1}^{K} \mathbf{g}_{n(i),k}^{H}\mathbf{x}_{n(i)} + n_k$$

[0133] 수학식 1 에서, $x_{n(i)}$은 n(i) 번째 DA 포트로부터 전송된 길이 M 인 신호의 컬럼 벡터를 나타내고, n_k 는 평균이 0 이고 분산이 σ_n^2 인 가산성 복소 가우시안 노이즈 변수를 지시한다. 또한, P 는 DA 포트의 전력 제약 값을 나타낸다. 여기서, $x_{n(i)}$는 $x_{n(i)} = w_{n(i)}s_{n(i)}$와 같이 프리코딩 되고, $w_{n(i)}$는 단위 기준(unit norm) $\|\mathbf{w}_{n(i)}\| = 1$ 을 갖는 n(i) 번째 DA 포트에 대한 길이 M 의 i 번째 사용자에 대한 빔포밍 컬럼 벡터를 의미하며, $s_{n(i)}$ 는 $\mathcal{E}\left[|s_{n(i)}|^2\right] = 1$ 인 n(i)번째 DA 포트로부터 전송된 i 번째 사용자의 선호 신호를 의미한다.

[0134] 다음 수학식 2 는 총 전송률을 나타낸다.

수학식 2

[0135]
$$C = \sum_{k=1}^{K}\log_2\left(1 + \frac{P\left|\mathbf{g}_{n(k),k}^{H}\mathbf{w}_{n(k)}\right|^2}{\sigma_n^2 + P\sum_{i=1,i\neq k}^{K}\left|\mathbf{g}_{n(i),k}^{H}\mathbf{w}_{n(i)}\right|^2}\right)$$

[0136] 이때, $\frac{P\left|\mathbf{g}_{n(k),k}^{H}\mathbf{w}_{n(k)}\right|^2}{\sigma_n^2 + P\sum_{i=1,i\neq k}^{K}\left|\mathbf{g}_{n(i),k}^{H}\mathbf{w}_{n(i)}\right|^2}$ 는 k 번째 사용자에 대한 SINR 이다. 따라서, 총 전송률을 최대화하기 위해, SINR 을 최적화하는 것이 바람직하다. 그러나, SINR 의 커플되는 성질에 때문에 SINR 을 최대화하는 빔포밍 벡터를 획득하는 것은 매우 복잡하다. 따라서, 본 발명에서는 k 번째 사용자에 대한 빔포밍 벡터 $w_{n(k)}$를 복잡하지 않게 도출하기 위해, $w_{n(k)}$는 SLNR(Signal-to-Leakage plus Noise Ratio)을 극대화함으로써 결정될 수 있다. 비록 SLNR 의 극대화는 총 전송률의 관점에서 최적은 아니지만, 다중 셀 시스템에 대해 좋은 성능을 제공하며 빔포밍 벡터를 계산하기 위해 반복적인 방법이 필요하지 않다. k 번째 사용자에 대한 SLNR 은 다음 수학식 3 과 같이 정의된다.

수학식 3

[0137]
$$\mathrm{SLNR}_k = \frac{P\left|\mathbf{g}_{n(k),k}^{H}\mathbf{w}_{n(k)}\right|^2}{\sigma_n^2 + P\sum_{i=1,i\neq k}^{K}\left|\mathbf{g}_{n(k),i}^{H}\mathbf{w}_{n(k)}\right|^2}$$

[0138] 이후, SLNR 을 극대화하는 k 번째 사용자에 대한 빔포밍 벡터는 다음 수학식 4 와 같이 주어진다.

수학식 4

[0139]
$$\mathbf{w}_{n(k)} = \max \text{eigenvector}\left(\left(\sigma_n^2\mathbf{I} + P\sum_{i=1,i\neq k}^{K} d_{n(k),i}^{-\alpha}\hat{\mathbf{h}}_{n(k),i}\hat{\mathbf{h}}_{n(k),i}^{H}\right)^{-1} pd_{n(k),k}^{-\alpha}\hat{\mathbf{h}}_{n(k),k}\hat{\mathbf{h}}_{n(k),k}^{H}\right)$$

[0140] 4. 제한된 피드백을 갖는 분산 안테나 시스템

[0141] 본 발명에서, 모든 사용자들 및 DA 포트들은 서빙 채널 링크 및 간섭 링크에 대한 거리를 알고 있는 것을 가정한다. 또한, 각 사용자는 소규모 페이딩에 대해서 완전히 알고 있으며, 각 DA 포트는 소규모 페이딩의 채널 품질 정보(즉, 채널 크기 정보)를 알고 있는 것을 가정한다. 빔포밍 벡터를 계산하기 위해, DA 포트는 채널 방향 정보(CDI: Channel Direction Information)을 가지고 있어야 한다. 따라서, 제한된 피드백 시스템에서, 각 사용자는 링크된 채널들의 방향을 양자화하고 DA 포트들에 코드북 기반으로 CDI 를 피드백한다. 이때, k 번째 사용자와 n(i) 번째 DA 포트 간의 CDI 는 $\tilde{\mathbf{h}}_{n(i),k} = \mathbf{h}_{n(i),k} / \left\|\mathbf{h}_{n(i),k}\right\|$ 와 같이 정의된다. 또한, k 번째 사용자에 대한 피드백 비트들의 총 개수는 $B_k^t = \sum_{i=1}^{K} B_{k,n(i)}$ 와 같이 표현되며, $B_{k,n(i)}$ 는 k 번째 사용자 및 n(i) 번째 DA 포트 간의 채널에 대한 피드백 비트들의 개수를 나타낸다.

[0142] 길이 M 의 단위 기준 컬럼 벡터(unit norm column vectors)로 구성되는 코드북 $\mathcal{C}_{k,n(i)} = \left\{\mathbf{c}_{k,n(i),1}, \mathbf{c}_{k,n(i),2}, \cdots, \mathbf{c}_{k,n(i),2^{B_{k,n(i)}}}\right\}$ 을 사용하여, k 번째 사용자는 n(i) 번째 DA 포트에 코드워드 인덱스를 전송하고, n(i) 번째 DA 포트는 링크된 채널의 CDI 를 획득한다. 본 발명에서, 코드북을 설계하기 위해, 등방성으로 분산된 M 평면의 단위 초구(hypersphere) 상에서 독립적인 코드북 벡터들을 선택하는 RVQ (Random Vector Quantization)를 적용한다. 또한, n(i) 번째 DA 포트로부터 k 번째 사용자까지의 소규모 페이딩의 양자화된 채널을 $\hat{\mathbf{h}}_{n(i),k}$ 으로 정의하고, $\hat{\mathbf{h}}_{n(i),k}$ 는 $\hat{\mathbf{h}}_{n(i),k} = \arg\max_{\mathbf{c}\in\mathcal{C}_{k,n(i)}} \left|\tilde{\mathbf{h}}_{n(i),k}^{H}\mathbf{c}\right|^2$ 로부터 선택될 수 있다.

[0143] 본 발명에서, k 번째 사용자에 대한 빔포밍 벡터를 $\hat{\mathbf{w}}_{n(k)}^{*}$ 로 정의한다. 이후, 수학식 3 및 4 에서 h 대신 $\hat{\mathbf{h}}$ 로 각각 대체함으로써 SLNR 및 $\hat{\mathbf{w}}_{n(k)}^{*}$ 를 결정한다. 또한, 평균 전송률(average sum rate)은 다음 수학식 5 와 같이 나타낼 수 있다.

수학식 5

[0144]
$$\mathcal{E}[C] = \mathcal{E}\left[\sum_{k=1}^{K}\log_2\left(1 + \frac{Pd_{n(k),k}^{-\alpha}\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^2}{\sigma_n^2 + \sum_{i\neq k}^{K} Pd_{n(i),k}^{-\alpha}\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^2}\right)\right]$$

[0145] 수학식 5 에서 $\dfrac{Pd_{n(k),k}^{-\alpha}\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^2}{\sigma_n^2 + \sum_{i\neq k}^{K} Pd_{n(i),k}^{-\alpha}\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^2}$ 는 k 번째 사용자에 대한 SINR 을 나타낸다.

[0146] 5. 피드백 비트 할당 알고리즘

[0147] k 번째 사용자에 대한 총 피드백 비트의 고정된 개수 B_k^t 에 대해서, 링크된 채널에 대해 할당된 비트의 개수는

수학식 5 의 평균 총 전송율을 최대화하기 위해 최적으로 할당되어야 한다. 왜냐하면 피드백 비트들의 개수는 선호 신호 및 간섭 신호 모두 영향을 미치기 때문이다. 그러나, 최대 평균 총 전송율 관점에서 최적 피드백 비트를 획득하는 것은 매우 복잡하다. 그러므로, 본 절에서는 기대되는 SINR 의 하한 값을 최대화하는 피드백 비트 할당 알고리즘을 제안한다.

[0148] 5.1. 문제 형성

[0149] $\log_2(1 + X)$는 $X > 0$ 에 대해 컨케이브(concave)이기 때문에, $E[\log_2(1 + X)] \cdot \log_2(1 + E[x])$ 이다. 따라서, 총 전송률은 $\mathcal{E}[C] \le \sum_{k=1}^{K} \log_2(1 + \mathcal{E}[\mathrm{SINR}_k])$ 에 의해 경계가 나눠진다. 여기서, 기대되는 SINR_k 는 다음 수학식 6 과 같이 표현될 수 있다. 왜냐하면, k 번째 사용자 및 DA 포트 간의 전송 전력 및 거리는 고정 값이고, 선호 구간 및 간섭 구간은 서로 독립적이기 때문이다.

수학식 6

[0150]
$$\begin{aligned}\mathcal{E}[\mathrm{SINR}_k] &= \mathcal{E}\left[\frac{Pd_{n(k),k}^{-\alpha}\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^2}{\sigma_n^2 + \sum_{i\neq k}^{K} Pd_{n(i),k}^{-\alpha}\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^2}\right] \\ &= Pd_{n(k),k}^{-\alpha}\mathcal{E}\left[\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^2\right]\mathcal{E}\left[\frac{1}{\sigma_n^2 + \sum_{i\neq k}^{K} Pd_{n(i),k}^{-\alpha}\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^2}\right]\end{aligned}$$

[0151] 그러나 수학식 6 을 최대화하는 최적의 피드백 비트들을 도출하는 것은 여전히 어려운 문제이다. 따라서, 본 발명에서는 옌센 부등식(Jensen's inequality)을 적용함으로써 ε[SINR_k] 의 하한값을 획득할 수 있다. X≥0 에 대한 $\frac{1}{1+X}$ 이 콘벡스(convex)이므로, ε[SINR_k] 는 수학식 7 에 의해 하한 값이 구성될 수 있다.

수학식 7

[0152]
$$\mathcal{E}[\mathrm{SINR}_k] \ge \frac{Pd_{n(k),k}^{-\alpha}\mathcal{E}\left[\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^2\right]}{\sigma_n^2 + \sum_{i\neq k}^{K} Pd_{n(i),k}^{-\alpha}\mathcal{E}\left[\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^2\right]}$$

[0153] 다음으로, $\mathcal{E}\left[\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^2\right]$ 및 $\mathcal{E}\left[\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^2\right]$ 의 경계를 도출하기 위해 부명제들(lemmas)을 제안한다.

[0154] 5.1.1 제 1부명제 (Lemma 1)

[0155] k 번째 사용자에 대한 선호 구간(desired term)은 $\mathcal{E}\left[\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^2\right] > M\left(1 - 2^{-\frac{B_{k,n(k)}}{M-1}}\right)$ 와 같이 경계를 이룰 수 있다.

[0156] 왜냐하면, 채널 크기 및 채널 방향은 독립적이므로, $\mathcal{E}\left[\left\|\mathbf{h}_{n(k),k}\right\|^2\right] = \mathrm{M}$ 이고, $\mathcal{E}\left[\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^2\right]$ 는

$\mathcal{E}\left[\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^{2}\right]=M\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^{2}\right]$ 와 같이 나타내지기 때문이다.

[0157] 또한, $\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^{2}\right]$ 는 부등식 $\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^{2}\right]\geq\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{h}}_{n(k),k}\right|^{2}\left|\hat{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^{2}\right]$ 에 의해 경계를 이룰 수 있다.

[0158] 또한, $0<\left|\hat{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^{2}\leq 1$ 이기 때문에, $\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^{2}\right]$ 는 $\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^{2}\right]\geq\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{h}}_{n(k),k}\right|^{2}\right]$ 에 의해 하한 값이 설정될 수 있다. $\nu\triangleq\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{h}}_{n(k),k}\right|^{2}$ 를 정의함으로써, v 의 확률 밀도 함수는 다음 수학식 8 과 같이 주어진다.

수학식 8

[0159]
$$f_{\nu}(\nu)=\sum_{i=0}^{2^{B_{k,n(k)}}}\sum_{j=1}^{i(M-1)}\binom{2^{B_{k,n(k)}}}{i}\binom{i(M-1)}{j}(-1)^{i+j}j\nu^{j-1}$$

[0160] 그러므로, $\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{h}}_{n(k),k}\right|^{2}\right]$ 는

$$\begin{aligned}\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(k),k}^{H}\hat{\mathbf{h}}_{n(k),k}\right|^{2}\right]&=\int_{0}^{1}\nu f_{\nu}(\nu)\,d\nu\\&=1-2^{B_{k,n(k)}}\beta\left(2^{B_{k,n(k)}},\frac{M}{M-1}\right)\end{aligned}$$

와 같이 표현된다. 이때, β(· , ·)는 $\beta(x,y)=\frac{\Gamma(x)\Gamma(y)}{\Gamma(x+y)}$ 와 같은 감마 함수로 정의되는 베타함수를 의미한다. 마지막으로, $2^{B_{k,n(k)}}\beta\left(2^{B_{k,n(k)}},\frac{M}{M-1}\right)<2^{-\frac{B_{k,n(k)}}{M-1}}$ 를 가지므로, k 번째 사용자에 대한 선호 구간은 $\mathcal{E}\left[\left|\mathbf{h}_{n(k),k}^{H}\hat{\mathbf{w}}_{n(k)}\right|^{2}\right]>M\left(1-2^{-\frac{B_{k,n(k)}}{M-1}}\right)$ 에 의해 하한 값을 가질 수 있다.

[0161] 5.1.2 제 2 부명제 (Lemma 2)

[0162] n(i) 번째 DA 포트(i!=k)로부터 k 번째 사용자에 대한 간섭 구간은 $\mathcal{E}\left[\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^{2}\right]<M\cdot 2^{-\frac{B_{k,n(i)}}{M-1}}$ 에 의해 상한 값이 설정된다.

[0163] 왜냐하면, 선호 구간의 경우(5.1.1.절 참조)와 유사하게, $\mathcal{E}\left[\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^{2}\right]$ 는

$$\mathcal{E}\left[\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^{2}\right]=M\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^{2}\right]$$ 와 같이 표현된다.

[0164] 또한, $\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^{2}\right]$ 는

$$\begin{aligned}\mathcal{E}\left[\left|\tilde{\mathbf{h}}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^{2}\right] &\leq \mathcal{E}\left[1-\left|\tilde{\mathbf{h}}_{n(i),k}^{H}\hat{\mathbf{h}}_{n(i),k}\right|^{2}\right]\\ &= 2^{B_{k,n(i)}}\beta\left(2^{B_{k,n(i)}},\frac{M}{M-1}\right)\end{aligned}$$

에 의해 경계를 이룬다.

[0165] 마지막으로, $2^{B_{k,n(i)}}\beta\left(2^{B_{k,n(i)}},\frac{M}{M-1}\right)<2^{-\frac{B_{k,n(i)}}{M-1}}$ 이기 때문에, n(i) 번째 DA 포트로부터 k 번째 사용자에 대한 간선 구간은 $\mathcal{E}\left[\left|\mathbf{h}_{n(i),k}^{H}\hat{\mathbf{w}}_{n(i)}\right|^{2}\right]<M\cdot 2^{-\frac{B_{k,n(i)}}{M-1}}$ 으로 상한 값이 설정된다.

[0166] 제 1 부명제 및 제 2 부명제의 결과를 이용함으로써, $\mathcal{E}[\mathrm{SINR}_k]$는

$$\mathcal{E}\left[\mathrm{SINR}_{k}\right]>\frac{PMd_{n(k),k}^{-\alpha}\left(1-2^{-\frac{B_{k,n(k)}}{M-1}}\right)}{\sigma_{n}^{2}+\sum_{i\neq k}^{K}PMd_{n(i),k}^{-\alpha}2^{-\frac{B_{k,n(i)}}{M-1}}}\triangleq\Omega_{k}$$

에 의해 경계를 이룰 수 있다.

[0167] 이제, 다음 수학식 9 와 같이 k 번째 사용자에 대한 피드백 비트 할당 문제를 형성할 수 있다.

수학식 9

[0168]

$$B_{k,n(i)}^{\mathrm{real}}=\arg\max_{B_{k,n(i)}\in\left[0,B_{k}^{t}\right]}\Omega_{k}\quad \text{for}\quad i=1,2,\cdots,K$$

[0169] 수학식 9 와 관련하여, $B_{k,n(i)}^{\mathrm{real}}$ 는 실수 값이다. 다음으로, K=2 및 K≥3 인 두 케이스에 대해서 새로운 피드백 비트 할당 알고리즘을 제안한다. K=2 에 대한 폐형 해결책(closed form solution)이 획득되는데 반하여, K≥3 인 경우에 대해서는 K-1 번의 고정 포인트 방정식을 푸는 반복적 방법이 필요하다.

[0170] 5.2 K=2 인 경우

[0171] K=2 인 경우, 비용 함수(cost function)를 최대화하기 위한 최적화된 피드백 비트들을 획득하기 위해 폐형 해결책을 제안한다. 최적화된 피드백 비트들에 대한 다음 제 3 부명제를 제안한다.

[0172] 제 3 부명제 (Lemma 3): 비용 함수 Ω_k는 $B_{k,n(k)}$에 대해 컨케이브하므로, 최적 피드백 비트들은 다음 수학식 10 과 같이 획득된다.

수학식 10

[0173]
$$\begin{aligned} B^{\text{real}}_{k,n(k)} &= (M-1)\log_2\left(1+\sqrt{1+\frac{\sigma_n^2}{PMd^{-\alpha}_{n(\bar{k}),k}}2^{\frac{B_k^t}{M-1}}}\right) \\ B^{*}_{k,n(k)} &= \left\lceil B^{\text{real}}_{k,n(k)} \right\rfloor \\ B^{*}_{k,n(\bar{k})} &= B_k^t - B^{*}_{k,n(k)} \end{aligned}$$

[0174] K=2 이면 $\bar{k}=1$ 이고, 아니면 $\bar{k}=2$ 이다. 수학식 10 에서 $\lceil\cdot\rfloor$ 는 라운드 함수를 의미한다.

[0175] $B_{k,n(k)}$ 에 대하여 Ω_k의 두 번째 편도 함수는 다음 수학식 11 과 같이 표현된다.

수학식 11

[0176]
$$\frac{\partial^2\Omega_k}{\partial B^2_{k,n(k)}} = \frac{u_k - v_k}{\left(\sigma_n^2 + PMd^{-\alpha}_{n(\bar{k}),k}2^{-\frac{B_k^t - B_{k,n(k)}}{M-1}}\right)^4}$$

[0177] 수학식 11 을 이용하여 $u_k = -\frac{PMd^{-\alpha}_{n(k),k}\ln^2 2}{(M-1)^2}\left(\sigma_n^2 2^{-\frac{B_{k,n(k)}}{M-1}} + PMd^{-\alpha}_{n(\bar{k}),k}2^{-\frac{B_k^t - B_{k,n(k)}}{M-1}}\right)\left(\sigma_n^2 + PMd^{-\alpha}_{n(\bar{k}),k}2^{-\frac{B_k^t - B_{k,n(k)}}{M-1}}\right)^2$ 및 $v_k = \frac{2P^2M^2d^{-\alpha}_{n(k),k}d^{-\alpha}_{n(\bar{k}),k}\ln^2 2}{(M-1)^2}\left(\sigma_n^2 + PMd^{-\alpha}_{n(\bar{k}),k}2^{-\frac{B_k^t - B_{k,n(k)}}{M-1}}\right)\times \left(\sigma_n^2 2^{-\frac{B_{k,n(k)}}{M-1}} + PMd^{-\alpha}_{n(\bar{k}),k}\left(2^{1-\frac{B_k^t}{M-1}} - 2^{-\frac{B_k^t - B_{k,n(k)}}{M-1}}\right)\right)2^{-\frac{B_k^t - B_{k,n(k)}}{M-1}}$ 를 도출할 수 있다.

[0178] $u_k < 0$ 이고 $v_k > 0$ 이므로, Ω_k 는 $B_{k,n(k)}$ 에 대해서 컨케이브 함수이다. 그러므로, 수학식 9 의 최대값은 $\frac{\partial\Omega_k}{\partial B_{k,n(k)}} = 0$ 의 임계점(critical point) 또는 경계점(boundary point)에서 획득된다.

[0179] $B_{k,n(k)}$ 에 대한 Ω_k의 편도 함수는 다음 수학식 12 과 같이 주어진다.

수학식 12

[0180]
$$\frac{\partial\Omega_k}{\partial B_{k,n(k)}} = \frac{PMd^{-\alpha}_{n(k),k}\ln 2\left(\sigma_n^2 2^{-\frac{B_{k,n(k)}}{M-1}} + PMd^{-\alpha}_{n(\bar{k}),k}\left(2^{1-\frac{B_k^t}{M-1}} - 2^{-\frac{B_k^t - B_{k,n(k)}}{M-1}}\right)\right)}{(M-1)\left(\sigma_n^2 + PMd^{-\alpha}_{n(\bar{k}),k}2^{-\frac{B_k^t - B_{k,n(k)}}{M-1}}\right)^2}$$

[0181] 이후, $\frac{\partial \Omega_k}{\partial B_{k,n(k)}} = 0$ 를 동등화함으로써, 최적 피드백 비트는 수학식 10 으로 계산될 수 있다. $B_{k,n(k)}^{\mathrm{real}}$ 는 정수가 아닐 것이므로, $\left\lceil B_{k,n(k)}^{\mathrm{real}} \right\rceil$ 에 의해 $B_{k,n(k)}^{*}$ 를 획득할 수 있다.

[0182] 수학식 10 을 관찰하면, 만약 전송 전력이 크고 DA 포트들 및 사용자 간의 거리가 고정되면, $B_{k,n(k)}^{\mathrm{real}}$ 는 0 으로 수렴한다. 이는 간섭 제한 영역에서 피드백 비트들이 간섭 채널들에 대부분 할당되는 것을 의미한다. 한편, 사용자는 잡음 제한 영역에서 선호 채널들에 피드백 비트들을 할당할 수 있다. 또한, 만약 $d_{n(\bar{k}),k}$ 이 작은 값이면, 간섭 전력은 커지고, 간섭 채널에 많은 비트들이 할당된다.

[0183] 5.3 K≥3 인 경우

[0184] K 가 2 보다 큰 경우에, 수학식 9 가 커플되는 문제, 즉, $B_{k,n(1)}$, $B_{k,n(2)}$, . . ., $B_{k,n(K)}$ 가 서로 영향을 받기 때문에 피드백 비트들의 개수를 간단히 결정할 수 없다. 따라서, K≥3 에 대해서, 최적의 피드백 비트를 획득하기 위해 K-1 번의 고정 포인트 공식들을 반복하는 방법을 제안한다. 먼저, 비용 함수의 콘케비티(concavity)를 증명한다. k 번째 사용자에 대해서, i≠k 에 대한 $B_{k,n(i)}$ 에 대해서 비용 함수의 두 번째 편도 함수는 다음 수학식 13 과 같이 표현된다.

수학식 13

[0185]
$$\frac{\partial^2 \Omega_k}{\partial B_{k,n(i)}^2} = \frac{u_{k,i} - v_{k,i}}{\left(y_{k,i} + x_{k,i} 2^{-\frac{B_{k,n(i)}}{M-1}}\right)^4}$$

[0186] 이때,
$$u_{k,i} = -\frac{PMd_{n(k),k}^{-\alpha} \ln^2 2}{(M-1)^2}\left(y_{k,i} + x_{k,i} 2^{-\frac{B_{k,n(i)}}{M-1}}\right)^2 \left(2^{-\frac{B_k^t - a_{k,i} - B_{k,n(i)}}{M-1}} + x_{k,i} 2^{-\frac{B_{k,n(i)}}{M-1}}\right),$$
$$v_{k,i} = \frac{2PMd_{n(k),k}^{-\alpha} x_{k,i} \ln^2 2}{(M-1)^2} 2^{-\frac{B_{k,n(i)}}{M-1}} \left(y_{k,i} + x_{k,i} 2^{-\frac{B_{k,n(i)}}{M-1}}\right)\left\{2^{-\frac{B_k^t - a_{k,i} - B_{k,n(i)}}{M-1}} + x_{k,i}\left(1 + 2^{-\frac{B_k^t - a_{k,i}}{M-1}} - 2^{-\frac{B_{k,n(i)}}{M-1}}\right)\right\},$$
$x_{k,i} = PMd_{n(i),k}^{-\alpha}$, $y_{k,i} = \sigma_n^2 + \sum_{l \neq k, l \neq i}^{K} PMd_{n(l),k}^{-\alpha} 2^{-\frac{B_{k,n(l)}}{M-1}}$, 및 $a_{k,i}$ 는 선호 링크 및 i 번째 간섭 링크에 대한 피드백 비트들에 대해서 기대되는 피드백 비트들의 총 개수를 나타낸다. 즉, $a_{k,i} = \sum_{l \neq k, l \neq i}^{K} B_{k,n(l)}$ 이다. 왜냐하면 $u_{k,i} < 0$, $v_{k,i} > 0$ 이고, $\frac{\partial^2 \Omega_k}{\partial B_{k,n(i)}^2}$ 는 항상 음수이므로, Ω_k 는 i≠k 에 대한 $B_{k,n(i)}$에 대해서 콘케이브 함수이다.

[0187] 그러므로, 수학식 9 의 최대값은 $\frac{\partial \Omega_k}{\partial B_{k,n(i)}} = 0$ 의 임계점 또는 경계점에 의해 획득된다.

[0188] 5.3.1 제 4 부명제 (Lemma 4)

[0189] K 번째 사용자에 대해서 $a_{k,i}$ 가 주어지면, 최적 피드백 비트들은 다음 수학식 14 와 같이 정의된다.

수학식 14

$$B^{\text{real}}_{k,n(i)} = (M-1)\log_2 z_{k,i} \quad \text{for } i=1,2,\cdots,K \text{ and } i\neq k$$
$$B^{*}_{k,n(i)} = \left\lceil B^{\text{real}}_{k,n(i)} \right\rceil$$
$$B^{*}_{k,n(k)} = B^{t}_{k} - \sum_{i\neq k}^{K} B^{*}_{k,n(i)}$$

, where

$$z_{k,i} = \frac{-x_{k,i} + \sqrt{x_{k,i}\left(x_{k,i} + y_{k,i}2^{\frac{B^{t}_{k}-a_{k,i}}{M-1}}\right)}}{y_{k,i}}$$

[0190]

[0191] i≠k 에 대한 $B_{k,n(i)}$에 대한 비용 함수의 편도 함수는

$$\frac{\partial \Omega_k}{\partial B_{k,n(i)}} = \frac{PMd^{-\alpha}_{n(k),k}\ln 2\left(x_{k,i}2^{-\frac{B_{k,n(i)}}{M-1}} - 2x_{k,i}2^{-\frac{B^{t}_{k}-a_{k,i}}{M-1}} - y_{k,i}2^{-\frac{B^{t}_{k}-a_{k,i}-B_{k,n(i)}}{M-1}}\right)}{(M-1)\left(y_{k,i}+x_{k,i}2^{-\frac{B_{k,n(i)}}{M-1}}\right)^{2}}$$

와 같이 표현된다.

[0192] $\frac{\partial \Omega_k}{\partial B_{k,n(i)}} = 0$ 를 등가화함으로써, 최적 피드백 비트들은 수학식 14 에 의해 획득된다.

[0193] 상술한 제 4 부명제는 k 번째 사용자로부터 n(i) 번째 DA 포트까지의 피드백 비트들의 최적 개수를 산출한다. 한편, 다른 모든 링크들에 대한 피드백 비트들은 고정된다. 따라서, 피드백 비트들 $B_{k,n(i)}$ 이 수학식 14 로부터 결정되면, 다른 채널 링크들에 대한 솔루션에 영향을 미친다. 결과적으로, 수렴 솔루션이 설정될 때까지 반복 과정이 필요하다. 이를 위해, 먼저 i = 1, 2, ..., K, 및 i≠K 에 대해 $B_{k,n(i)}$를 초기화해야 한다. 이후, $a_{k,i}$ 를 계산하고 i=1, 2, ..., K, 및 i≠K 에 대해 $B^{*}_{k,n(i)}$ 를 갱신할 수 있다. 마지막으로, K-1 번의 고정 포인트 공식을 풀고 이 과정을 반복함으로써 최적 피드백 비트들을 계산할 수 있다. 제안된 알고리즘은 다음 표 1 과 같이 요약될 수 있다.

표 1

for $k = 1 : K$
(1) Initialize $B_{k,n(i)}$ for $i=1,2,\cdots,K$ and $i\neq k$
(2) Obtain $B^{\text{real}}_{k,n(i)} = (M-1)\log_2 z_{k,n(i)}$ for $i=1,2,\cdots,K$ and $i\neq k$
(3) Update $B_{k,n(i)} = \lceil B^{\text{real}}_{k,n(i)} \rfloor$
(4) Repeat (2)-(3) until convergence
(5) Obtain $B_{k,n(k)} = B^{t}_{k} - \sum_{i\neq k}^{K} B_{k,n(i)}$
end

[0194]

[0195] 본 발명에서 제안하는 피드백 비트 할당 알고리즘은 오직 전송 전력 및 거리에 대한 함수이므로, 채널 구현에

종속하지 않는다.

[0196] 6. 완결 탐색 (Exhaustive Search)

[0197] 선호 채널 및 간섭 채널에 대해서, 각 채널 구현에 대한 완결 탐색을 이용함으로써 평균 총 전송율을 최대화하는 최적의 피드백 비트들을 구할 수 있다. 그러나, 제안된 알고리즘에 비해서 완결 탐색에 대한 계산의 복잡도는 매우 높다. 여기서, 본 발명은 제안된 알고리즘과 완결 탐색의 계산의 복잡도를 비교한다. 본 발명에서 모든 i 및 k 에 대해서 $\hat{\mathbf{h}}_{n(i),k}$ 및 $d_{n(i),k}^{-\alpha}$ 는 주어진 것으로 가정한다. 또한, $\log_2 a$ 및 2^a 를 계산하기 위한 곱셈 과정은 무시한다.

[0198] 각 사용자의 빔포밍 벡터 및 개별 사용자율을 결정하기 위해 요구되는 곱셈들은 각각 $O(M^3) + O(KM^2)$ 및 $O(KM)$이고, 역행렬 및 고유치 분해법(eigen-value decomposition) 때문에 $O(M^3)$회의 곱셈이 필요하다. 모든 k 에 대해서 $B_k^t = B^t$ 임을 고려하면, 완결 탐색은 $\mathcal{O}\left(KM^3(B^t)^K\right) + \mathcal{O}\left(K^2M^2(B^t)^K\right) + \mathcal{O}\left(K^2M(B^t)^K\right)$ 회의 곱셈을 필요로 한다. 따라서, 큰 B^t 및 K 에 대해서, 계산의 복잡도는 방지될 수 있다. 반면에, 제안된 알고리즘은 $B_{k,n(i)}^{\mathrm{real}}$ 을 계산하기 위해 O(K) 회의 곱셈을 필요로 하기 때문에, 오직 $\mathcal{O}(\beta K^3)$회의 곱셈만을 필요로 한다. 이때, β 는 수학식 14 가 수렴 하기까지의 반복 횟수이다. 결과적으로, 제안된 방식은 완결 탐색의 복잡도를 상당히 줄일 수 있다. 이하 시뮬레이션 결과를 설명하는 절에서는 제안된 방식이 완결 탐색 방식에 매우 근접한 효과를 나타내는 것을 설명할 것이다. 또한, 제안된 알고리즘에 대한 복잡도는 K, M 및 B^t가 커짐에 따라 더욱 장점이 있다.

[0199] 7. 시뮬레이션 결과

[0200] 본 절에서는 본 발명에서 제안하는 알고리즘들의 효율성을 입증하기 위해 시뮬레이션 결과들을 설명한다. 시뮬레이션에서, 셀 반경 및 경로 손실 지수(path loss exponent)는 각각 R=1 및 α=3:75 로 설정된다. 또한, SNR 은 P/σ_n^2 로 정의된다. SLNR 을 최대화하는 빔포밍 벡터가 적용되고, RVQ 는 소규모 페이딩의 채널 방향 벡터를 양자화하기 위해 적용된다. 본 발명에서는 모든 사용자들이 동일한 개수의 총 피드백 비트들 및 동일한 위치의 DA 포트들을 갖는 것을 가정한다.

[0201] 또한, 모든 사용자들이 도 18 내지 21 과 같이 고정된 위치를 갖는 것을 가정한다. 먼저, 도 18 에 도시된 바와 같이 DAS 에 대해 DA 포트들 및 사용자의 고정된 위치를 각각 고려한다. 이때, 사용자들은 셀 중심에 대칭적으로 위치해 있는다. 이러한 환경에서, 도 19 는 $B_k^t = 8$ 인 SNR 에 대해 사용자 1 에 할당된 피드백 비트들의 개수를 도시한다. 따라서, 낮은 SNR 에서 선호 채널 링크에 대해 더 많은 비트들이 할당되는 반면에, SNR 의 증가만큼 간섭을 줄이기 위해 간섭 채널 링크에 대한 더 많은 CSI 가 필요로 하는 것을 알 수 있다.

[0202] 도 20 에서, K=3, N=7 이고, M=2 인 DAS 에 대한 DA 포트들 및 사용자의 위치가 도시되어 있다. 사용자들은 도 20 에 도시된 바와 같이 가장 가까운 DA 포트 n(k), k=1, 2, 3 을 선택한다. 이러한 구성에 기반하여, 도 21 은 사용자 1에 대해 할당된 피드백 비트들의 결과를 나타낸다. 할당된 피드백 비트들은 제안된 알고리즘을 2 내지 4 회 반복 적용하여 결정된다. 2 사용자 경우와 유사하게, 낮은 SNR 에서 선호 채널 링크에 더 많은 비트들이 할당되는 한편, 간섭 제한 영역 즉, 높은 SNR 에서는 간섭 채널 링크들에 대해 비트들의 개수가 증가한다. 또한, n(2) 번째 DA 포트로부터의 간섭 전력이 더 크기 때문에, $B_{1,n(3)}$ 보다 $B_{1,n(2)}$에 더 많은 비트들이 할당된다.

[0203] 다음으로, 셀 내에 모든 사용자들이 균일하게 분포되는 시스템을 고려한다. 도 22 에서, K=2, N=7 이고 M=2 인 DAS 에 대해서 SNR 의 함수로써 평균 총 전송률 곡선이 도시된다. 도 22 를 참조하면, 풀 CSI 는 송신기에서 링크된 채널을 완전히 알고 있는 것을 의미하고, 동일 비트 할당은 선호 채널 및 간섭 채널에 대한 피드백 비트들이 동일하게 할당되는 것, 즉 모든 k 에 대해 $B_{k,n(1)} = B_{k,n(2)} = \frac{B_k^t}{2}$ 인 것을 의미한다. SNR=40dB에

서, $B_k^t = 4$ 및 8 에 대해 동일 비트 할당 상에 제안된 비트 할당은 각각 10% 및 27%의 수행이득을 갖는다. 시뮬레이션 결과는 수학식 10 이 동일한 비트 할당에 비하여 평균 총 전송율이 증가됨을 나타낸다.

[0204] 도 23 을 참조하면, K=3, N=7 및 M=2 인 SNR 의 함수로써 평균 총 전송율 곡선이 도시된다. 동일 비트 할당에 대해서, 모든 k 및 i=1, 2, 및 3 에 대해서 $B_{k,n(i)} = \frac{B_k^t}{3}$ 을 갖는다. SNR 이 40dB 에서 $B_k^t = 24$ 이면, 제안된 비트 할당은 동일한 비트 할당 방식에 비교하여 14%의 수행이득을 갖는다. 또한, $B_k^t = 18$ 인 제안된 알고리즘의 수행은 $B_k^t = 24$ 인 동일 비트 할당과 거의 동일하다. 이러한 경우에, 할당할 피드백 비트의 량을 25%까지 절약할 수 있다. 또한, 2 사용자 경우와 유사하게, 동일한 비트 할당 상에 평균 총 전송율 이득은 총 피드백 비트들의 개수에 따라 증가한다.

[0205] 도 24 를 참조하면, K=2 인 경우 $B_k^t = 16$ 인 SNR 함수로써 평균 총 전송률 곡선이 도시되어 있다. 도 24 는 본 발명에서 제안한 알고리즘의 성과가 풀 CSI 경우 및 완결 탐색 경우와 거의 근접하다. 6 절에서 논의한 바와 같이 완결 탐색은 제안한 본 발명에 비하여 높은 계산 복잡도를 요구한다. 또한, DAS 에 대해 제안된 피드백 비트 할당은 SNR=40dB 에서 동일 비트 할당 방식에 비해 35%의 평균 총 전송율 이득을 가짐을 나타낸다.

[0206] 도 25 를 참조하면, SNR=20dB 에서 K=2 이고 M=2 인 DA 포트들의 개수의 함수로써 평균 총 전송율 곡선이 도시되어 있다. DA 포트들의 개수가 증가함에 따라, 모든 경우들에 대해 평균 총 전송율은 증가한다. N=8 인 경우에, 제안된 비트 할당 방식은 $B_k^t = 4$ 및 8 에 대한 동일 비트 할당에 비해 각각 9% 및 18%의 수행 이득을 갖는 것을 나타낸다. 또한, $B_k^t = 8$ 인 제안된 비트 할당 방식의 전송율 손실은 모든 사용자들에 대한 풀 CSI 에 대해 작게 유지됨을 확인할 수 있다. B_k^t 가 증가함에 따라, 제안된 알고리즘의 수행이득은 동일 비트 할당에 비해 증가하고, 그 성과는 풀 CSI 경우 및 최적화된 완결 탐색의 경우에 거의 근접함을 알 수 있다.

[0207] 상술한 바와 같이, 본 발명의 출원인은 페이딩 채널 모델이 구성된 단일 셀 환경에서 제한된 피드백을 갖는 하향링크 DAS 의 다중 사용자에 대한 피드백 비트를 할당하는 새로운 알고리즘을 제안한다. 제한된 피드백 DAS 에 대해 평균 총 전송율을 증가시키기 위해, 먼저 기대되는 SINR 에 대한 하한 값을 도출하고, 선호 채널 및 간섭 채널들에 대한 적응적 피드백 비트 할당 방법을 획득한다. 본 발명의 실시예들은 K=2 에 대해서, 폐형 해결책을 갖는 알고리즘을 나타내었다. 또한, K≥ 3 에 대해서, K-1 번의 고정된 포인트 방정식들을 푸는 반복적 알고리즘을 제안하였다. 이런 제안된 알고리즘들은 SNR 및 DA 포트들 및 사용자들 간의 거리에 따라 서로 다른 피드백 비트들을 할당한다. 시뮬레이션 결과는 제안된 비트 할당 알고리즘을 갖는 DAS 는 동일 비트 할당 방식에 대해 큰 수행 이득을 제공하며, 그 성과는 풀 CSI 경우 및 복잡도를 줄인 완결 탐색의 결과에 꽤 근접한 결과를 가짐을 확인시켜 준다.

[0208] 도 26 은 본 발명의 실시예들에 따른 피드백 비트 할당 방법을 나타내는 도면이다.

[0209] 도 26 을 참조하면, DAS 는 사용자(UE), 제 1 기지국 및 제 2 기지국을 포함한다. 이때, DAS 시스템 모델은 도 17 을 참조할 수 있고, UE 는 사용자와 동일 개체이며 제 1 및 제2 기지국은 각각 DA 포트 1 및 2 일 수 있다.

[0210] UE 는 단일 셀에 배치된 DA 포트들 중 가장 가까운 DA 포트(즉, DA 포트 1)를 선택한다 (S2610).

[0211] S2610 단계에서, 하나 이상의 UE 들이 동일한 DA 포트(예를 들어, DA 포트 1)을 선택하는 경우에, 오직 해당 DA 포트에 가장 가까운 UE 만이 지원되고, DA 포트를 선택하지 않은 나머지 UE 들은 그 다음으로 가장 가까운 DA 포트를 선택한다.

[0212] DA 포트 1 은 PDCCH 신호를 통해 전송 전력 정보 및 전송 안테나의 개수와 관련된 정보를 전송한다. 또한, DA 포트 1 은 다른 DA 포트들(예를 들어, DA 포트 2, 3, ... 7)에 대한 전송 전력에 대한 정보 및 전송 안테나 개수에 대한 정보와 같은 정보를 또한 전송할 수 있다 (S2620).

[0213] 또한, DA 포트 1 은 UE 에 하향링크 데이터와 같은 신호들을 전송한다. 이때, 다른 DA 포트(즉, DA 포트 2)는 다른 UE 에 신호들을 전송하지만 DA 포트 2 는 UE 에 선택된 것이 아니므로 이 신호들은 해당 UE 에 간섭으로 작용한다. 이때, 수신된 신호는 수학식 1 과 같이 표현된다 (S2630).

[0214] UE 는 UE 및 DA 포트 1 간의 거리 및 UE 와 다른 DA 포트들(예를 들어, DA 포트 2) 간의 거리들을 측정할 수 있다. 이 경우, UE 는 ToA (Time of Arrival)에 기반한 RSS(Received Signal Strength) 방식을 이용하여 거리를 측정한다. 또한, UE 는 해당 UE 및 DA 포트 1 간의 하향링크 채널의 채널 상태 및 UE 와 다른 DA 포트들 간의 하향링크 채널들의 채널 상태를 측정한다 (S2640).

[0215] UE 가 DA 포트 1 을 선택하면, UE 와 DA 포트들 간의 거리는 S2640 단계 대신 S2610 단계에서 측정될 수 있다. 이때, UE 는 DA 포트들의 채널 상태를 측정할 수 있다.

[0216] 이후, UE 는 제 3 절 내지 제 5 절, 수학식 2 내지 14 및 표 1 에서 설명한 방법들을 이용하여 피드백 비트들의 개수를 계산한다. 예를 들어, UE 는 전송 전력에 대한 정보 및 UE 와 DA 포트들 간의 거리에 대한 정보를 기반으로 피드백 비트들의 개수를 계산할 수 있다 (S2620 및 S2640 단계 참조). 이때, 피드백 비트들은 DA 포트 1 에 대한 비트들 및 다른 DA 포트들에 대한 간섭에 대한 비트들로 구성된다 (S2650).

[0217] 마지막으로 UE 는 계산된 피드백 비트들을 이용하여 피드백 정보를 전송한다. UE 는 UE 와 DA 포트 1 간의 채널 상태 정보(CSI)뿐 아니라 UE 와 DA 포트 2 간의 CSI 를 피드백할 수 있다. 즉, 계산된 피드백 비트들의 일부는 DA 포트 1 에 대한 CSI 의 전송을 위해 사용되고, 피드백 비트들의 다른 부분은 DA 포트 2 에 대한 CSI 의 전송을 위해 사용된다. 이때, UE 에 의해 사용되는 피드백 방법은 도 2 내지 16 에 도시된 방법을 참조할 수 있다 (S2660).

[0218] 본 발명의 다른 측면에 따르면, S2640 단계에서 UE 는 거리를 제외하고 채널 상태만을 측정하여 DA 포트 1 로 피드백 할 수 있다. 이 경우, DA 포트 1 이 피드백 정보를 전송하기 위해 사용되는 피드백 비트들의 개수를 계산할 수 있으며, 이후 DA 포트 1 은 계산된 비트들의 개수에 대한 정보를 단말에 전송할 수 있다. 그런 다음에, UE 는 할당된 피드백 비트들을 이용하여 피드백 정보를 전송할 수 있다.

[0219] 8. 구현 장치

[0220] 도 27 은 도 1 내지 도 26 에서 설명한 방법들이 구현될 수 있는 수단을 나타낸다.

[0221] 단말(UE: User Equipment)은 상향링크에서는 송신기로 동작하고, 하향링크에서는 수신기로 동작할 수 있다. 또한, 기지국(eNB:e-Node B)은 상향링크에서는 수신기로 동작하고, 하향링크에서는 송신기로 동작할 수 있다.

[0222] 즉, 단말 및 기지국은 정보, 데이터 및/또는 메시지의 전송 및 수신을 제어하기 위해 각각 송신모듈(Tx module: 2740, 2750) 및 수신모듈(Rx module: 2750, 2770)을 포함할 수 있으며, 정보, 데이터 및/또는 메시지를 송수신하기 위한 안테나(2700, 2710) 등을 포함할 수 있다.

[0223] 또한, 단말 및 기지국은 각각 상술한 본 발명의 실시예들을 수행하기 위한 프로세서(Processor: 2720, 2730)와 프로세서의 처리 과정을 임시적으로 또는 지속적으로 저장할 수 있는 메모리(2780, 2790)를 각각 포함할 수 있다.

[0224] 상술한 단말 및 기지국 장치의 구성성분 및 기능들을 이용하여 본원 발명의 실시예들이 수행될 수 있다. 이때, 도 27 에서 설명한 장치는 도 2 내지 도 4 의 구성을 더 포함할 수 있으며, 바람직하게는 프로세서에서 도 2 내지 도 4 의 구성이 포함될 수 있다.

[0225] 이동단말의 프로세서는 서치 스페이스를 모니터링하여 PDCCH 신호를 수신할 수 있다. 특히, LTE-A 단말의 경우 확장된 CSS 에 대해서 블라인드 디코딩(BD: Blind Decoding)을 수행함으로써 다른 LTE 단말과의 PDCCH 신호에 대한 블로킹 없이 PDCCH 를 수신할 수 있다.

[0226] 단말의 프로세서 2720 은 단말과 DA 포트 간의 거리 및 채널 상태를 측정할 수 있다. 또한, 단말은 피드백 정보를 전송하기 위한 피드백 비트들의 개수를 계산할 수 있다. 따라서, 단말은 CSI 를 포함하는 PUCCH 신호 또는 PUSCH 신호를 기지국으로 전송할 수 있다.

[0227] 단말 및 기지국에 포함된 송신모듈(2740, 2750) 및 수신모듈(2760, 2770)은 데이터 전송을 위한 패킷 변복조 기능, 고속 패킷 채널 코딩 기능, 직교주파수분할 다중접속(OFDMA: Orthogonal Frequency Division Multiple Access) 패킷 스케줄링, 시분할듀플렉스(TDD: Time Division Duplex) 패킷 스케줄링 및/또는 채널 다중화 기능을 수행할 수 있다. 또한, 도 21 의 단말 및 기지국은 저전력 RF(Radio Frequency)/IF(Intermediate Frequency) 모듈을 더 포함할 수 있다.

[0228] 한편, 본 발명에서 단말로 개인휴대단말기(PDA: Personal Digital Assistant), 셀룰러폰, 개인통신서비스(PCS: Personal Communication Service) 폰, GSM(Global System for Mobile) 폰, WCDMA(Wideband CDMA) 폰,

MBS(Mobile Broadband System) 폰, 핸드헬드 PC(Hand-Held PC), 노트북 PC, 스마트(Smart) 폰 또는 멀티모드 멀티 밴드(MM-MB: Multi Mode-Multi Band) 단말기 등이이용될 수 있다.

[0229] 여기서, 스마트 폰이란 이동통신 단말기와 개인 휴대 단말기의 장점을 혼합한 단말기로서, 이동통신 단말기에 개인 휴대 단말기의 기능인 일정 관리, 팩스 송수신 및 인터넷 접속 등의 데이터 통신 기능을 통합한 단말기를 의미할 수 있다. 또한, 멀티모드 멀티밴드 단말기란 멀티 모뎀칩을 내장하여 휴대 인터넷시스템 및 다른 이동통신 시스템(예를 들어, CDMA(Code Division Multiple Access) 2000 시스템, WCDMA(Wideband CDMA) 시스템 등)에서 모두 작동할 수 있는 단말기를 말한다.

[0230] 본 발명의 실시예들은 다양한 수단을 통해 구현될 수 있다. 예를 들어, 본 발명의 실시예들은 하드웨어, 펌웨어(firmware), 소프트웨어 또는 그것들의 결합 등에 의해 구현될 수 있다.

[0231] 하드웨어에 의한 구현의 경우, 본 발명의 실시예들에 따른 방법은 하나 또는 그 이상의 ASICs(application specific integrated circuits), DSPs(digital signal processors), DSPDs(digital signal processing devices), PLDs(programmable logic devices), FPGAs(field programmable gate arrays), 프로세서, 콘트롤러, 마이크로 콘트롤러, 마이크로 프로세서 등에 의해 구현될 수 있다.

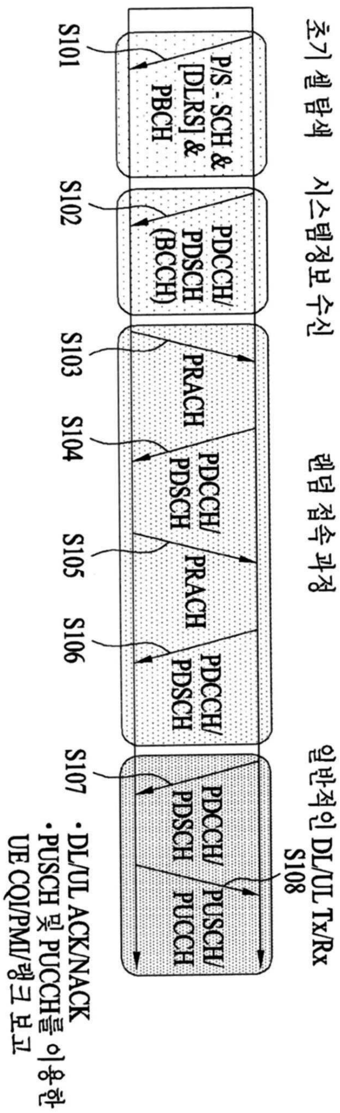
[0232] 펌웨어나 소프트웨어에 의한 구현의 경우, 본 발명의 실시예들에 따른 방법은 이상에서 설명된 기능 또는 동작들을 수행하는 모듈, 절차 또는 함수 등의 형태로 구현될 수 있다. 예를 들어, 소프트웨어 코드는 메모리 유닛에 저장되어 프로세서에 의해 구동될 수 있다. 상기 메모리 유닛은 상기 프로세서 내부 또는 외부에 위치할 수 있으며, 이미 공지된 다양한 수단에 의해 상기 프로세서와 데이터를 주고 받을 수 있다.

[0233] 본 발명은 본 발명의 정신 및 필수적 특징을 벗어나지 않는 범위에서 다른 특정한 형태로 구체화될 수 있다. 따라서, 상기의 상세한 설명은 모든 면에서 제한적으로 해석되어서는 아니되고 예시적인 것으로 고려되어야 한다. 본 발명의 범위는 첨부된 청구항의 합리적 해석에 의해 결정되어야 하고, 본 발명의 등가적 범위 내에서의 모든 변경은 본 발명의 범위에 포함된다. 또한, 특허청구범위에서 명시적인 인용 관계가 있지 않은 청구항들을 결합하여 실시예를 구성하거나 출원 후의 보정에 의해 새로운 청구항으로 포함할 수 있다.

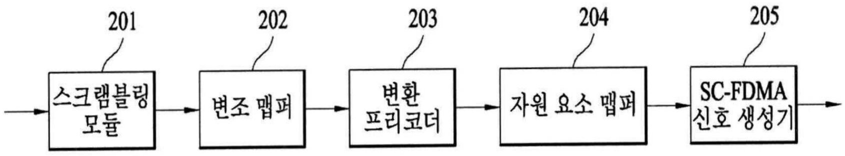
[0234] 본 발명의 실시예들은 다양한 무선 접속 시스템들에 적용될 수 있다. 해당 무선 접속 시스템들은 3GPP, 3GPP2 및/또는 IEEE 802.xx 시스템 등을 포함한다. 본 발명의 실시예들은 상기 무선 접속 시스템들뿐 아니라 다양한 무선 접속 시스템들에 적용될 수 있다.

도면

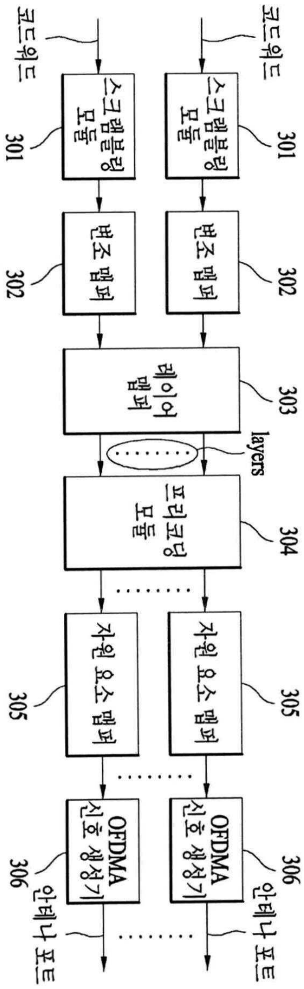
도면1


초기 셀 탐색
시스템정보 수신
랜덤 접속 과정
일반적인 DL/UL Tx/Rx
P/S - SCH & [DLRS] & PBCH
PDCCH/ PDSCH (BCCH)
PRACH
PDCCH/ PDSCH
PRACH
PDCCH/ PDSCH
PDCCH/ PDSCH
PUSCH/ PUCCH
S101
S102
S103
S104
S105
S106
S107
S108
·DL/UL ACK/NACK
·PUSCH 및 PUCCH를 이용한
UE CQI/PMI/랭크 보고

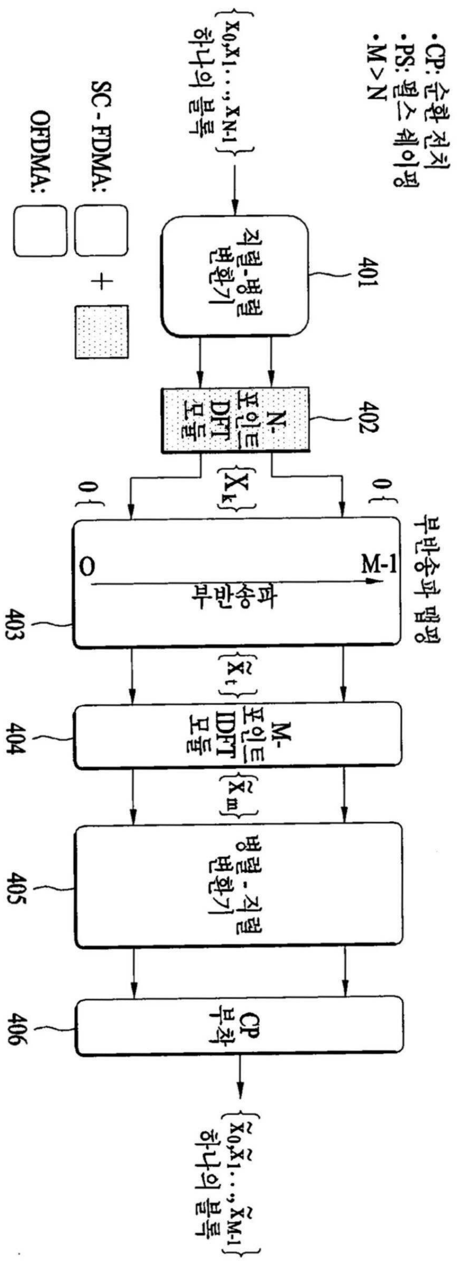
도면2


201
202
203
204
205
스크램블링 모듈
변조 맵퍼
변환 프리코더
자원 요소 맵퍼
SC-FDMA 신호 생성기

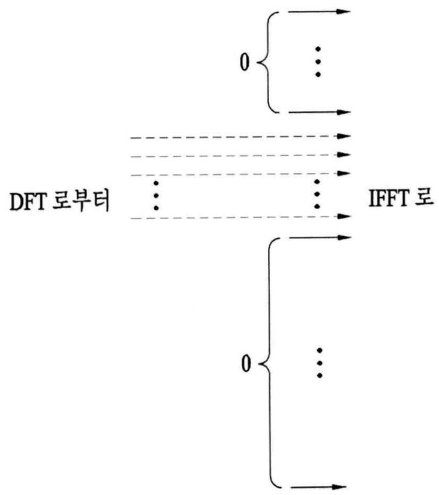
도면3


코드워드
코드워드
스크램블링 모듈
스크램블링 모듈
301
301
변조 맵퍼
변조 맵퍼
302
302
레이어 맵퍼
303
layers
프리코딩 모듈
304
자원 요소 맵퍼
자원 요소 맵퍼
305
305
OFDMA 신호 생성기
OFDMA 신호 생성기
306
306
안테나 포트
안테나 포트

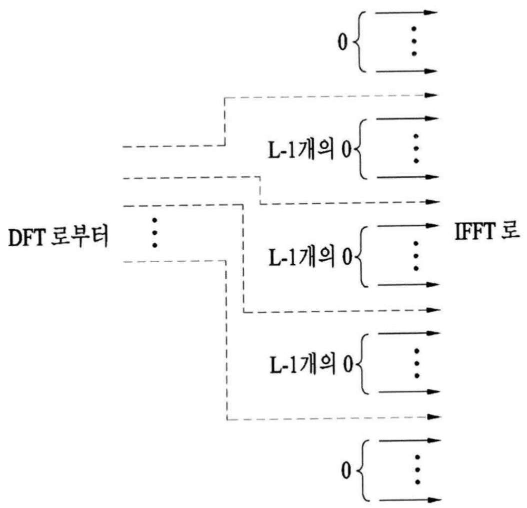
도면4


•CP: 순환 전치
•PS: 펄스 쉐이핑
•M>N
{x0,x1...,xN-1}
하나의 블록
SC-FDMA:
OFDMA:
401
직렬-병렬 변환기
402
N-포인트 DFT 모듈
{Xk}
0
0
부반송파 맵핑
0
M-1
부반송파
403
M-포인트 IDFT 모듈
404
병렬-직렬 변환기
405
CP 부착
406
하나의 블록

도면5

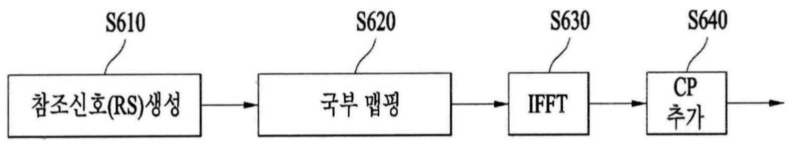

0
DFT 로부터
IFFT 로
0

(a)

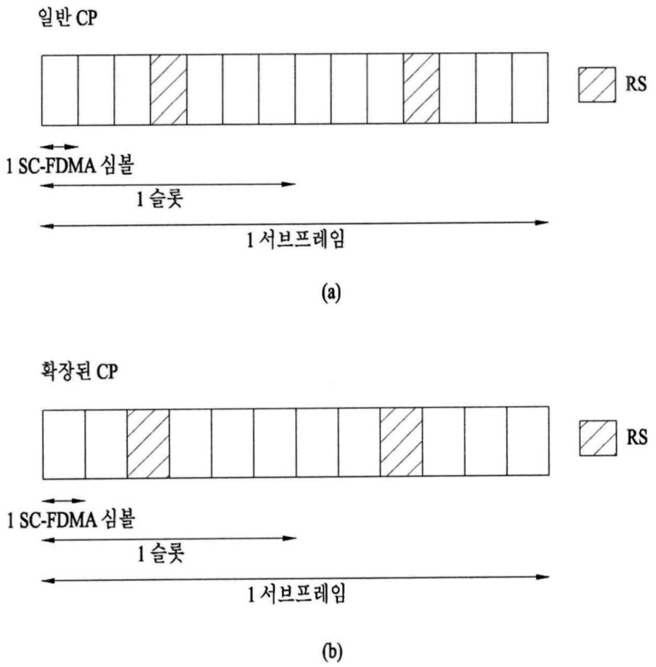

0
L-1개의 0
DFT 로부터
IFFT 로
L-1개의 0
L-1개의 0
0

(b)

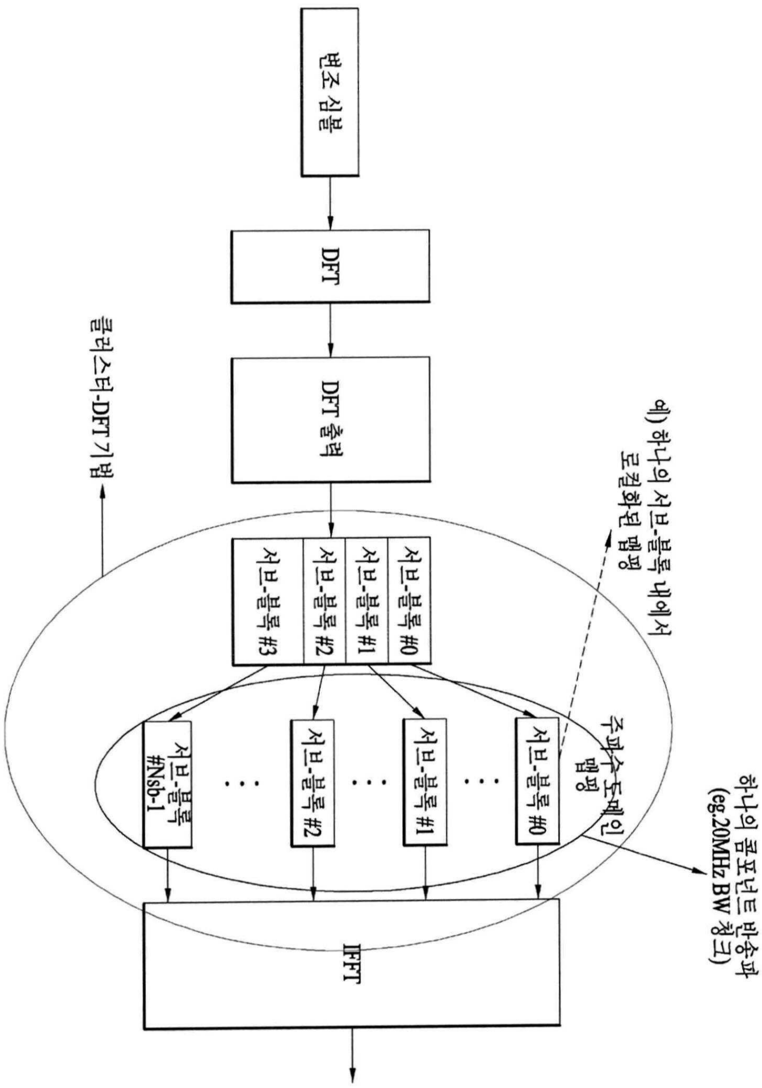
도면6


S610
S620
S630
S640
참조신호(RS)생성
국부 맵핑
IFFT
CP
추가

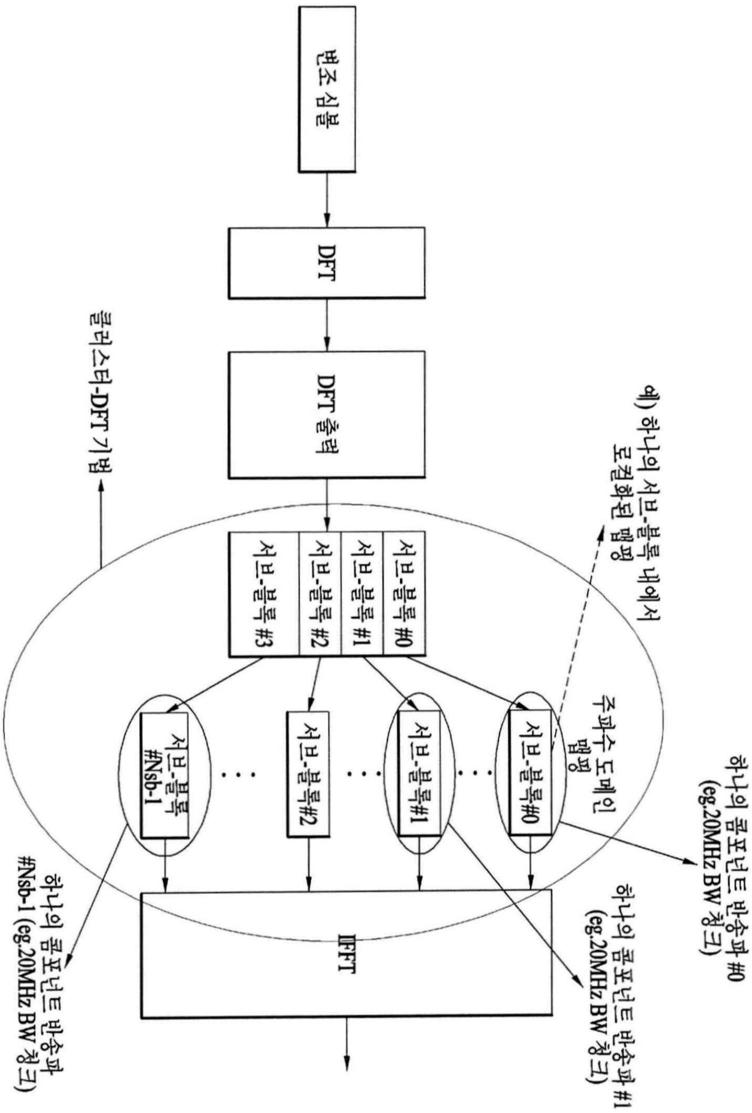
도면7


일반 CP
RS
1 SC-FDMA 심볼
1 슬롯
1 서브프레임
(a)
확장된 CP
RS
1 SC-FDMA 심볼
1 슬롯
1 서브프레임
(b)

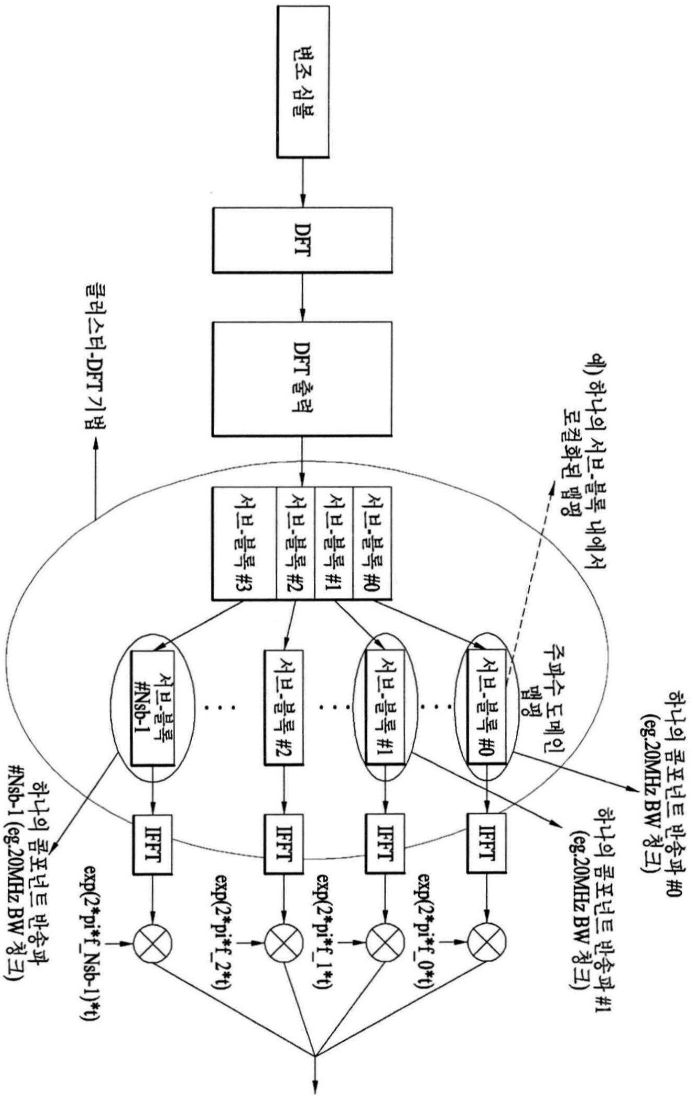
도면8


변조 심볼
DFT
DFT 출력
서브-블록 #0
서브-블록 #1
서브-블록 #2
서브-블록 #3
클러스터-DFT 기법
예) 하나의 서브-블록 내에서 로컬화된 맵핑
주파수 도메인 맵핑
서브-블록 #0
서브-블록 #1
서브-블록 #2
서브-블록 #Nsb-1
하나의 콤포넌트 반송파 (eg.20MHz BW 청크)
IFFT

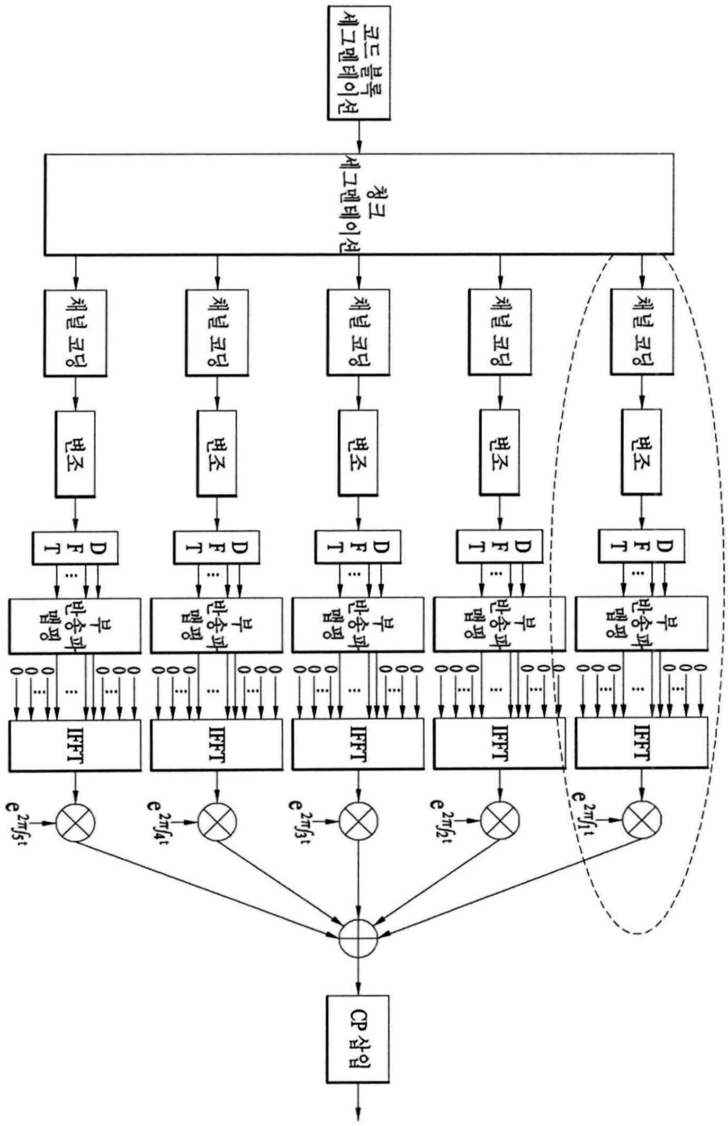
도면9


변조심볼
DFT
DFT 출력
클러스터-DFT 기법
서브-블록 #0
서브-블록 #1
서브-블록 #2
서브-블록 #3
예) 하나의 서브-블록 내에서 로컬화된 맵핑
주파수 도메인 맵핑
서브-블록#0
서브-블록#1
서브-블록#2
서브-블록 #Nsb-1
IFFT
하나의 콤포넌트 반송파 #0 (eg.20MHz BW 청크)
하나의 콤포넌트 반송파 #1 (eg.20MHz BW 청크)
하나의 콤포넌트 반송파 #Nsb-1 (eg.20MHz BW 청크)

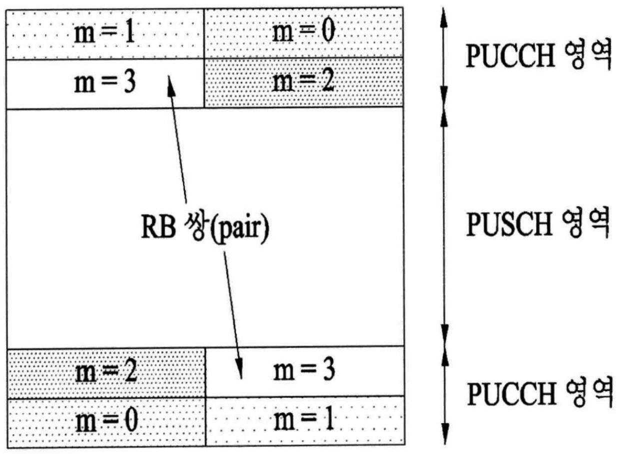
도면10


변조 심볼
DFT
DFT 출력
클러스터-DFT 기법
서브-블록 #0
서브-블록 #1
서브-블록 #2
서브-블록 #3
예) 하나의 서브-블록 내에서 로컬화된 맵핑
주파수 도메인 맵핑
서브-블록 #0
서브-블록 #1
서브-블록 #2
서브-블록 #Nsb-1
IFFT
IFFT
IFFT
IFFT
exp(2*pi*f_0*t)
exp(2*pi*f_1*t)
exp(2*pi*f_2*t)
exp(2*pi*f_Nsb-1)*t)
하나의 콤포넌트 반송파 #0 (eg.20MHz BW 청크)
하나의 콤포넌트 반송파 #1 (eg.20MHz BW 청크)
하나의 콤포넌트 반송파 #Nsb-1 (eg.20MHz BW 청크)

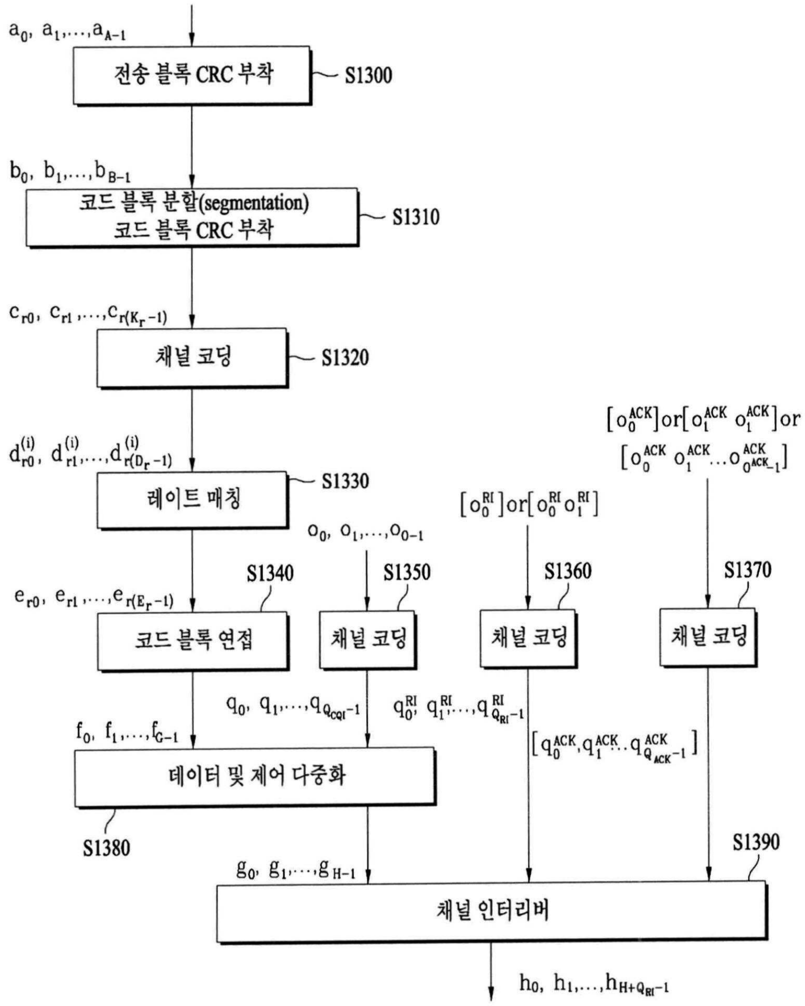
도면11


코드 블록
세그멘테이션
청크
세그멘테이션
채널 코딩
변조
DFT
부반송파
매핑
IFFT
CP 삽입

도면12

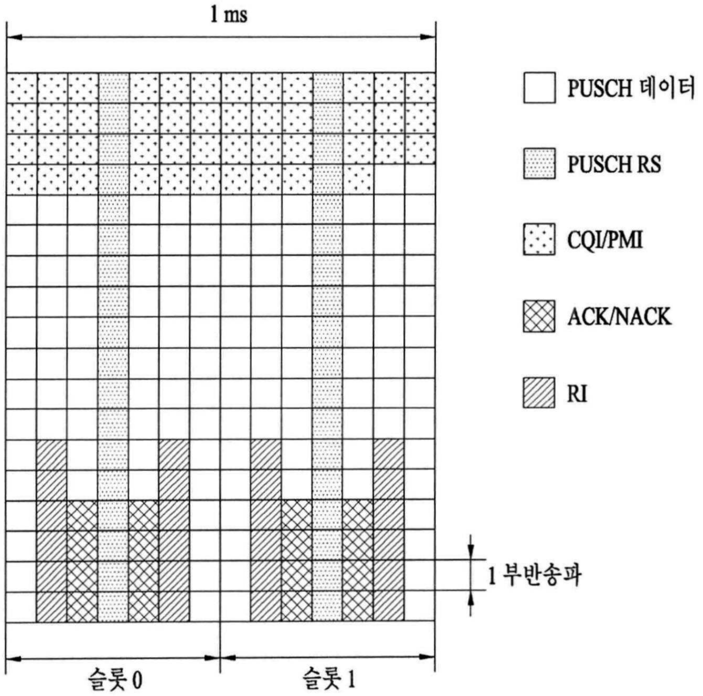

m=1
m=0
m=3
m=2
RB 쌍(pair)
m=2
m=3
m=0
m=1
PUCCH 영역
PUSCH 영역
PUCCH 영역

도면13

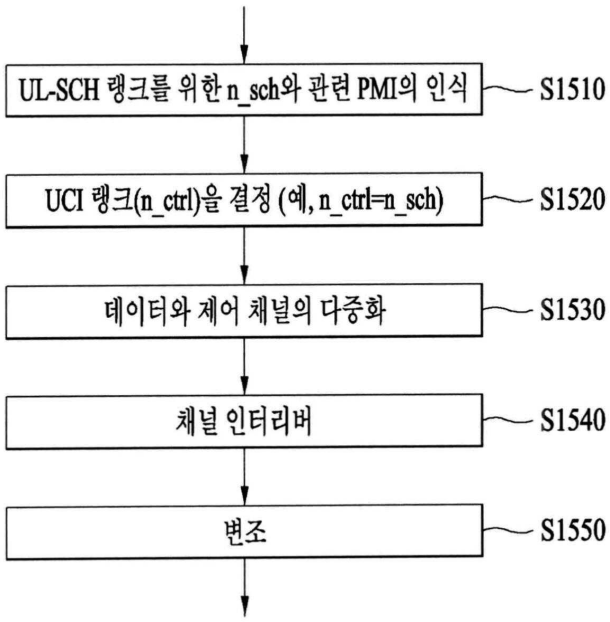


$a_0, a_1, \ldots, a_{A-1}$
전송 블록 CRC 부착
S1300
$b_0, b_1, \ldots, b_{B-1}$
코드 블록 분할(segmentation)
코드 블록 CRC 부착
S1310
$c_{r0}, c_{r1}, \ldots, c_{r(K_r-1)}$
채널 코딩
S1320
$d_{r0}^{(i)}, d_{r1}^{(i)}, \ldots, d_{r(D_r-1)}^{(i)}$
레이트 매칭
S1330
$e_{r0}, e_{r1}, \ldots, e_{r(E_r-1)}$
S1340
코드 블록 연접
$o_0, o_1, \ldots, o_{O-1}$
S1350
채널 코딩
$[o_0^{RI}]$ or $[o_0^{RI}\ o_1^{RI}]$
S1360
채널 코딩
$[o_0^{ACK}]$ or $[o_0^{ACK}\ o_1^{ACK}]$ or
$[o_0^{ACK}\ o_1^{ACK} \ldots o_{O^{ACK}-1}^{ACK}]$
S1370
채널 코딩
$f_0, f_1, \ldots, f_{G-1}$
$q_0, q_1, \ldots, q_{Q_{CQI}-1}$
$q_0^{RI}, q_1^{RI}, \ldots, q_{Q_{RI}-1}^{RI}$
$[q_0^{ACK}, q_1^{ACK} \ldots q_{Q_{ACK}-1}^{ACK}]$
데이터 및 제어 다중화
S1380
$g_0, g_1, \ldots, g_{H-1}$
S1390
채널 인터리버
$h_0, h_1, \ldots, h_{H+Q_{RI}-1}$

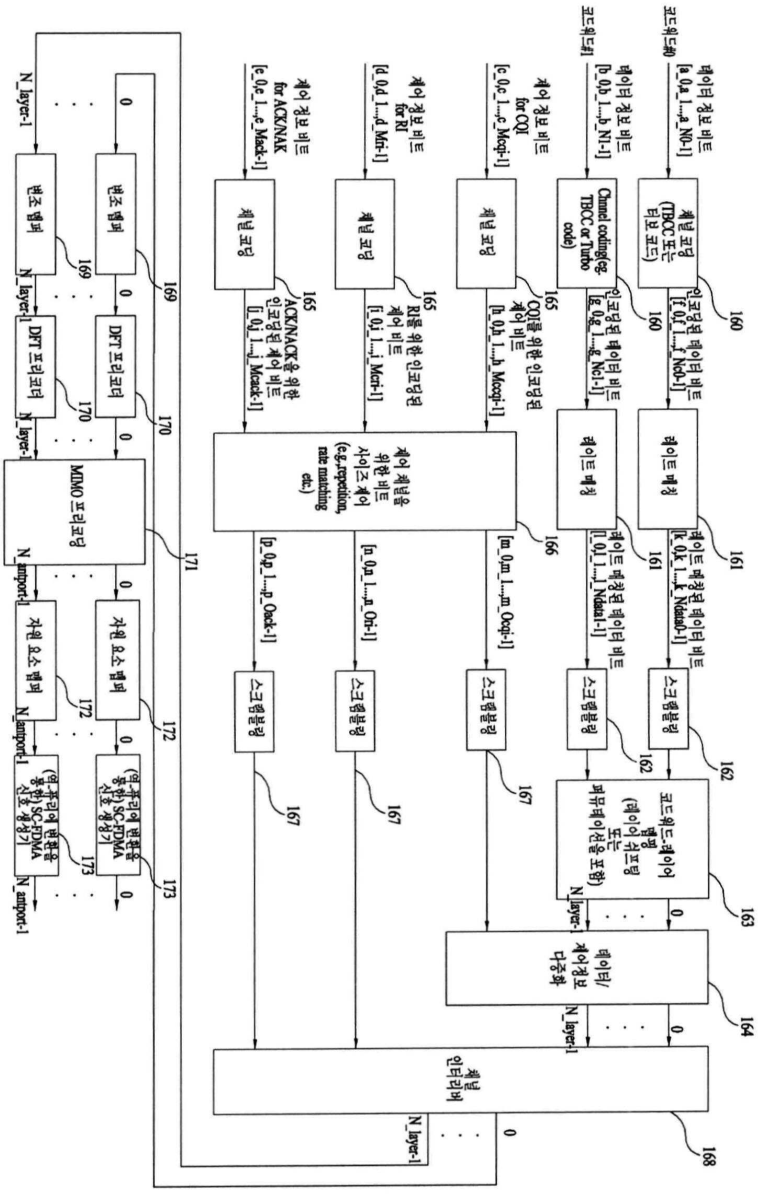
도면14


1 ms
PUSCH 데이터
PUSCH RS
CQI/PMI
ACK/NACK
RI
1 부반송파
슬롯 0
슬롯 1

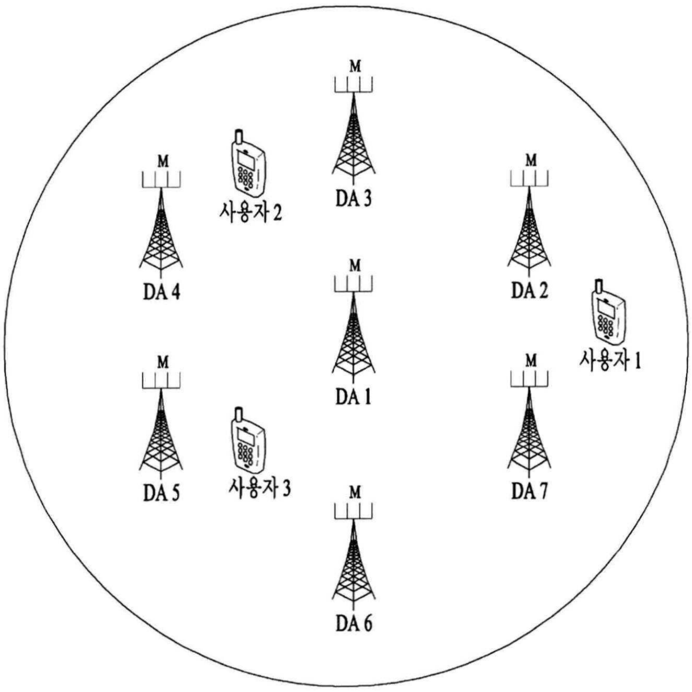
도면15


UL-SCH 랭크를 위한 n_sch와 관련 PMI의 인식
S1510
UCI 랭크(n_ctrl)을 결정 (예, n_ctrl=n_sch)
S1520
데이터와 제어 채널의 다중화
S1530
채널 인터리버
S1540
변조
S1550

도면16

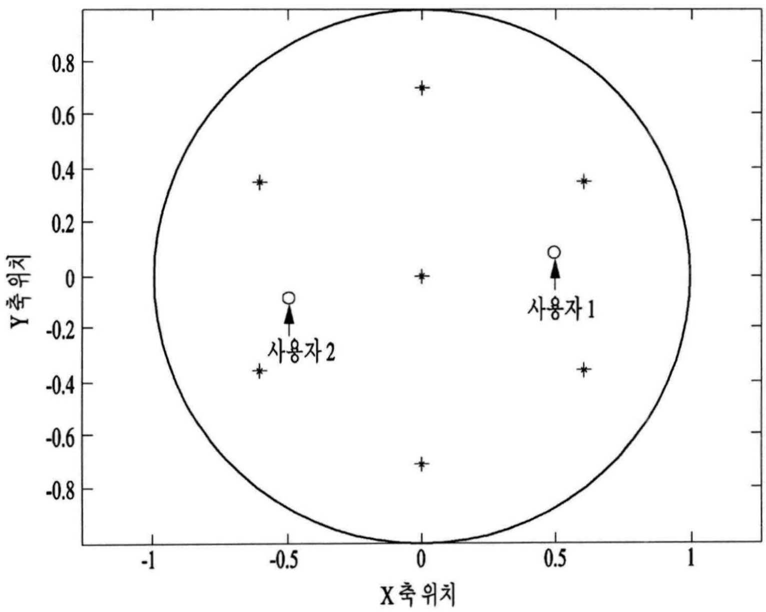

코드워드#0
데이터 정보 비트
[a_0,a_1,...,a_N0-1]
코드워드#1
데이터 정보 비트
[b_0,b_1,...,b_N1-1]
채널 코딩
(TBCC 또는 터보 코드)
Channel coding(eg. TBCC or Turbo code)
인코딩된 데이터 비트
[f_0,f_1,...,f_Nd0-1]
[g_0,g_1,...,g_Nd1-1]
레이트 매칭
레이트 매칭된 데이터 비트
[k_0,k_1,...,k_Ndata0-1]
[l_0,l_1,...,l_Ndata1-1]
스크램블링
코드워드-레이어 맵핑
(레이어 시프팅 또는 퍼뮤테이션을 포함)
데이터/제어정보 다중화
채널 인터리버
제어 정보 비트
for CQI
[c_0,c_1,...,c_Mcqi-1]
제어 정보 비트
for RI
[d_0,d_1,...,d_Mri-1]
제어 정보 비트
for ACK/NAK
[e_0,e_1,...,e_Mack-1]
채널 코딩
CQI를 위한 인코딩된 제어 비트
[h_0,h_1,...,h_Mccqi-1]
RI를 위한 인코딩된 제어 비트
[i_0,i_1,...,i_Mcri-1]
ACK/NACK을 위한 인코딩된 제어 비트
[j_0,j_1,...,j_Mcack-1]
제어 채널을 위한 비트 사이즈 제어
(e.g. repetition, rate matching etc.)
[m_0,m_1,...,m_Ocqi-1]
[n_0,n_1,...,n_Ori-1]
[p_0,p_1,...,p_Oack-1]
변조 맵퍼
DFT 프리코더
MIMO 프리코딩
자원 요소 맵퍼
(역 푸리에 변환을 통한) SC-FDMA 신호 생성기
N_layer-1
N_antport-1
160
161
162
163
164
165
166
167
168
169
170
171
172
173

도면17



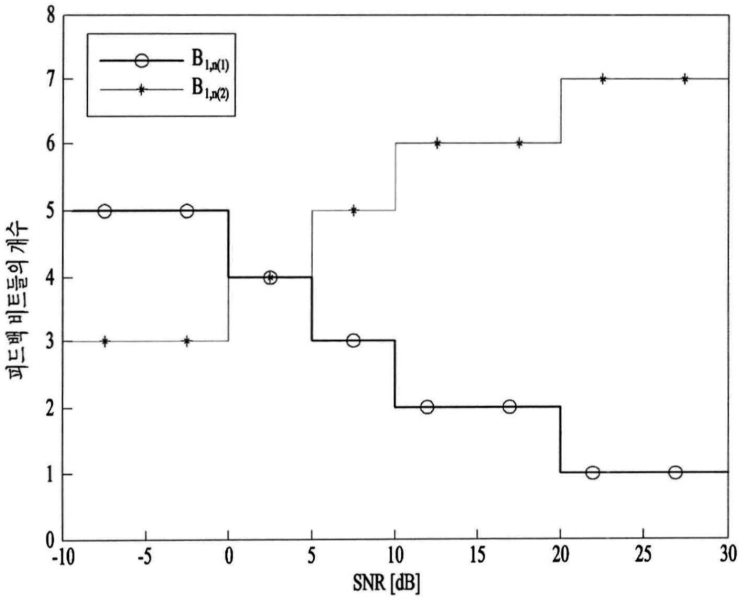
M
M
M
M
M
M
M
사용자 2
사용자 1
사용자 3
DA 3
DA 4
DA 2
DA 1
DA 5
DA 7
DA 6

도면18

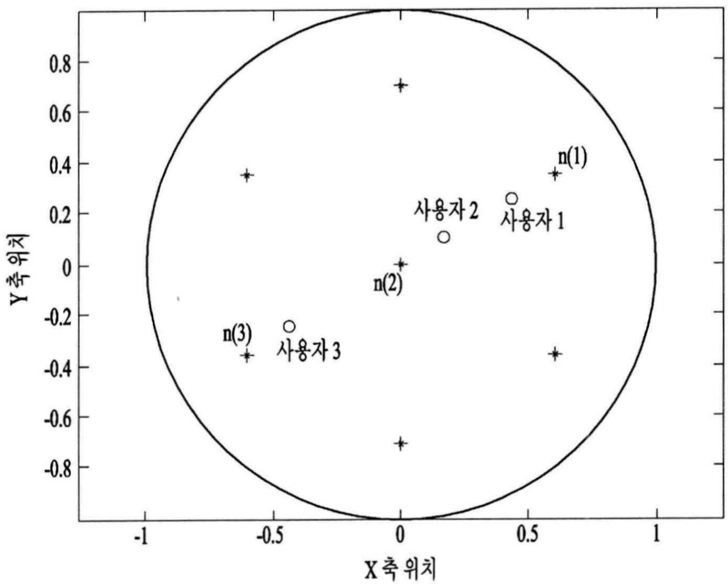


0.8
0.6
0.4
0.2
0
-0.2
-0.4
-0.6
-0.8
Y 축 위치
사용자 1
사용자 2
-1
-0.5
0
0.5
1
X 축 위치

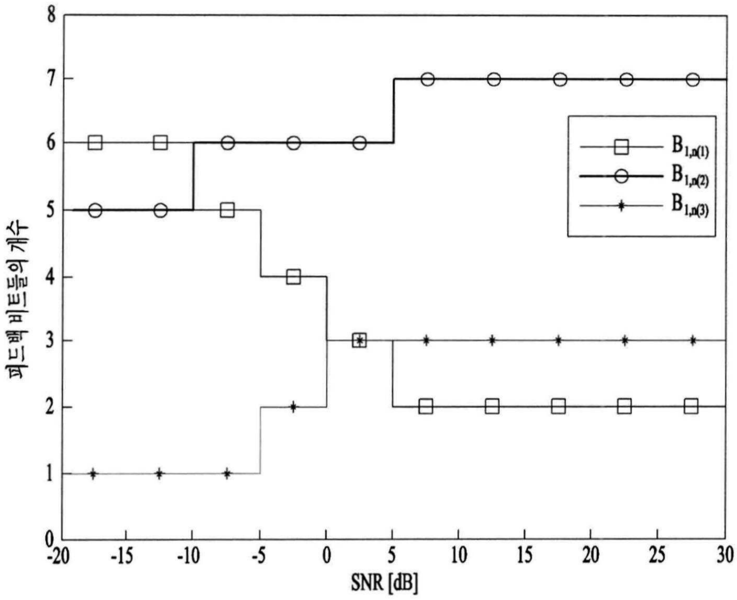
도면19



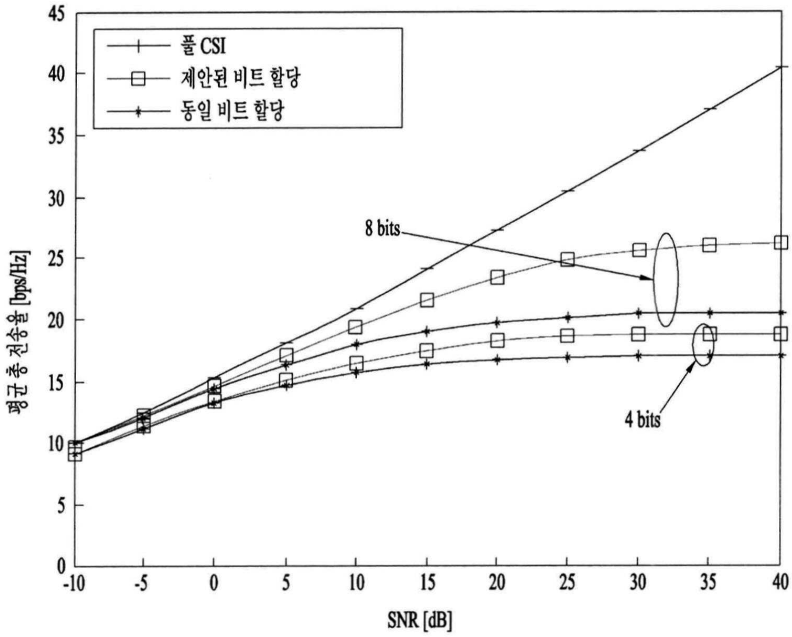
도면20



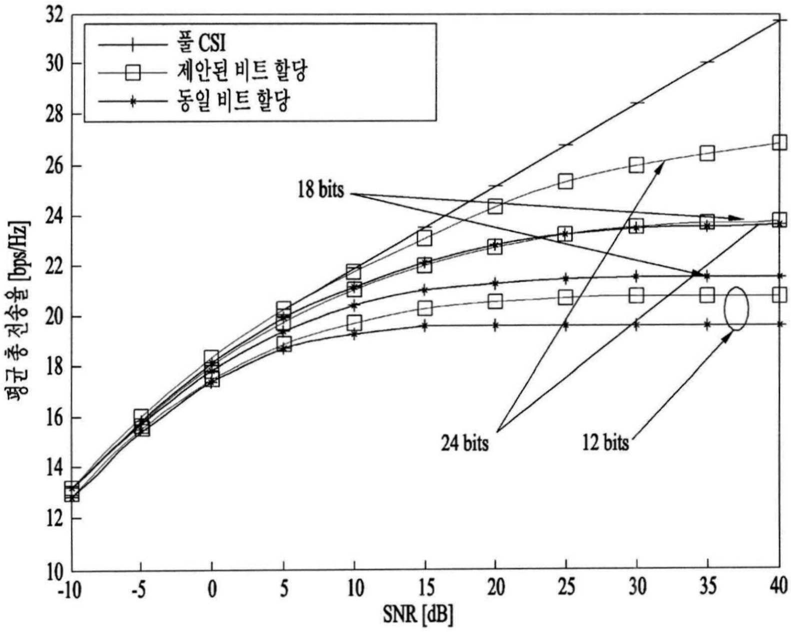
도면21


피드백 비트들의 개수
SNR [dB]
$B_{1,n(1)}$
$B_{1,n(2)}$
$B_{1,n(3)}$

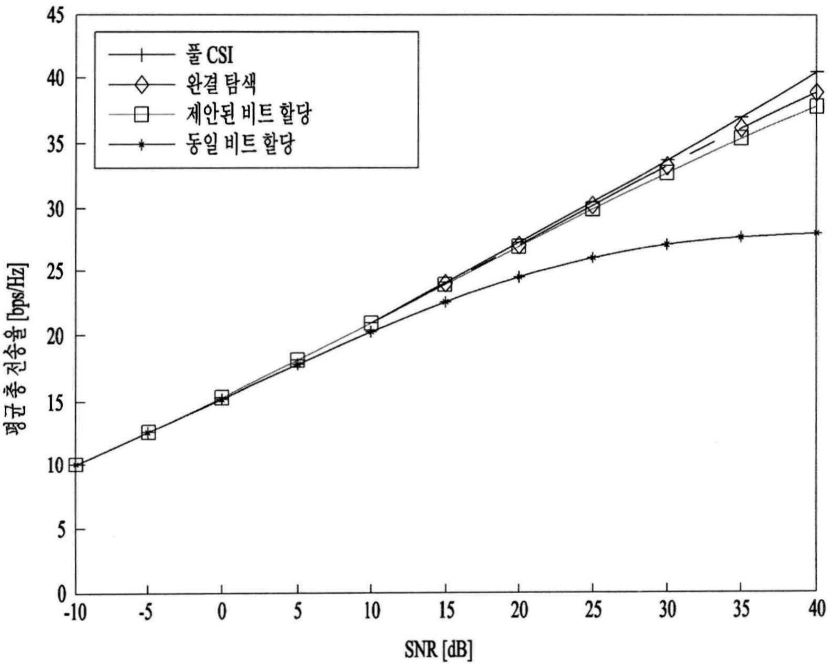
도면22


풀 CSI
제안된 비트 할당
동일 비트 할당
8 bits
4 bits
평균 총 전송율 [bps/Hz]
SNR [dB]

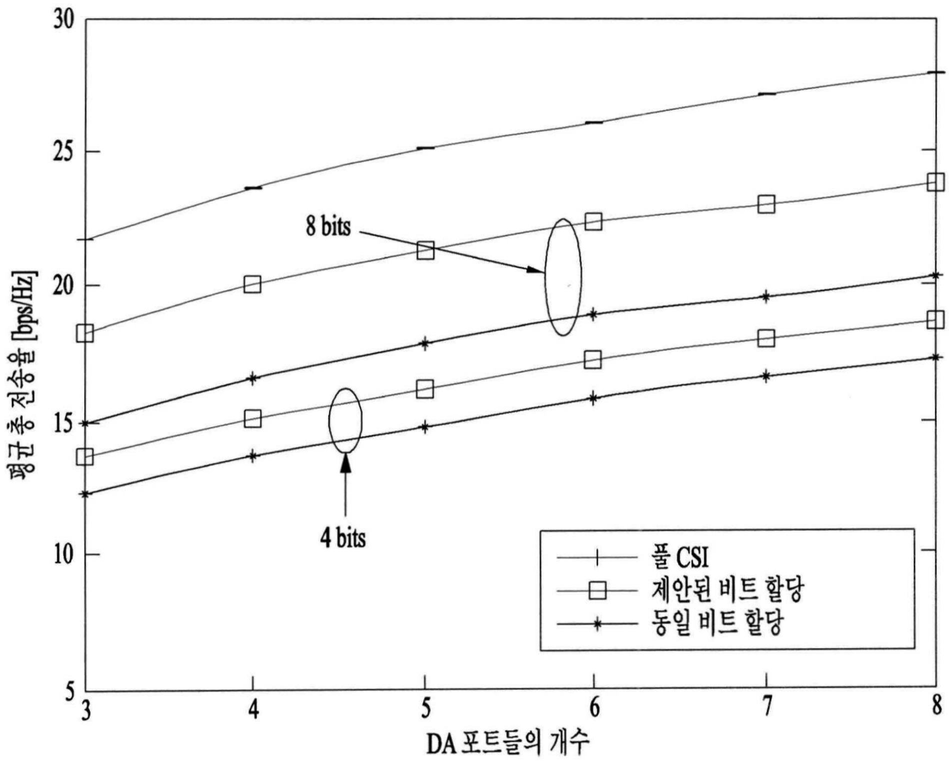
도면23


풀 CSI
제안된 비트 할당
동일 비트 할당
18 bits
24 bits
12 bits
평균 총 전송율 [bps/Hz]
SNR [dB]

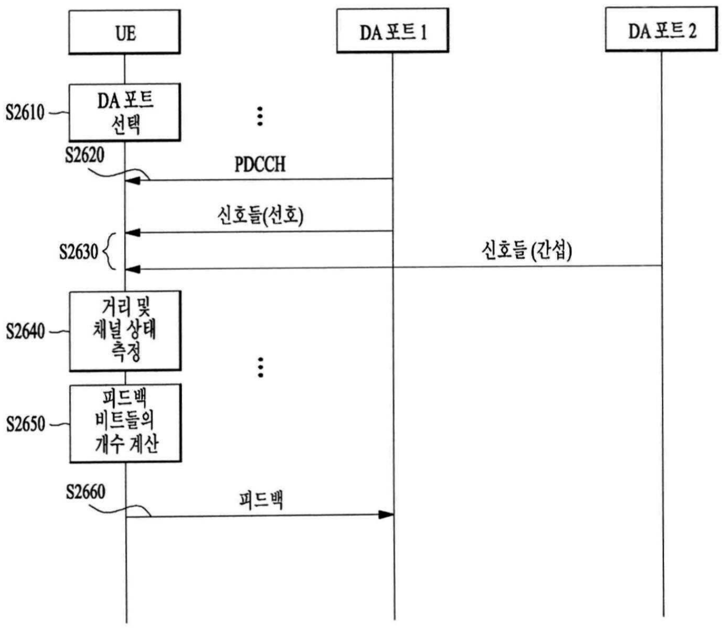
도면24


풀 CSI
완결 탐색
제안된 비트 할당
동일 비트 할당
평균 총 전송율 [bps/Hz]
SNR [dB]

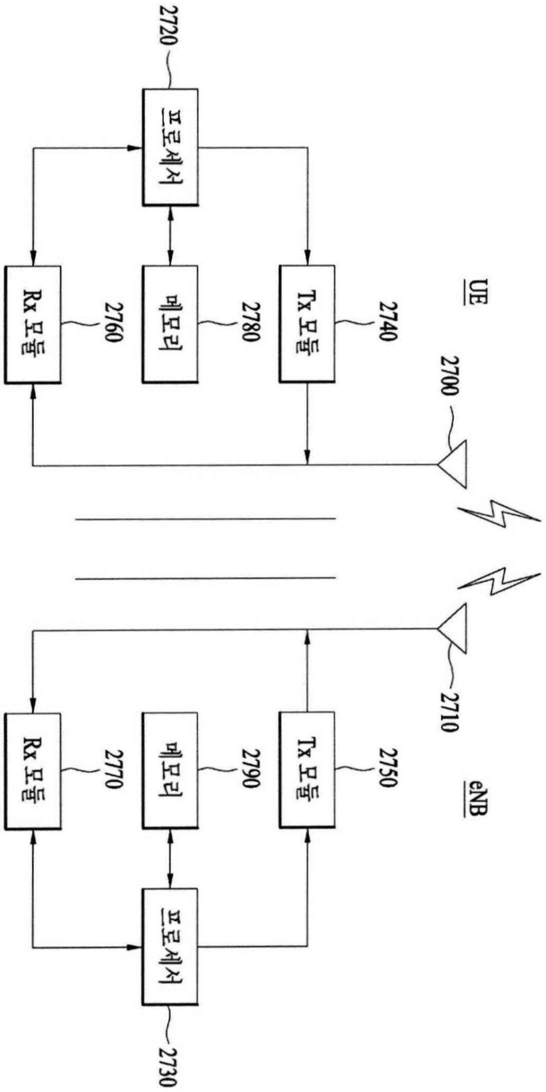
도면25


30
25
20
15
10
5
평균 총 전송율 [bps/Hz]
8 bits
4 bits
풀 CSI
제안된 비트 할당
동일 비트 할당
3
4
5
6
7
8
DA 포트들의 개수

도면26


UE
DA 포트 1
DA 포트 2
S2610
DA 포트 선택
S2620
PDCCH
신호들(선호)
S2630
신호들 (간섭)
S2640
거리 및 채널 상태 측정
S2650
피드백 비트들의 개수 계산
S2660
피드백

도면27


UE
2700
2720
프로세서
Rx 모듈
2760
메모리
2780
Tx 모듈
2740
eNB
2710
2730
프로세서
Rx 모듈
2770
메모리
2790
Tx 모듈
2750